

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of

Kyeong-mo KOO et al.

Serial No.: 10/686,768

Mail Stop Patent Application

Filed: October 17, 2003

Attorney Docket No.: SEC.1034CIP

For: METHOD OF FORMING COLBALT SILICIDE FILM AND METHOD OF  
MANUFACTURING SEMICONDUCTOR DEVICE HAVING .....

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under  
the International Convention of the following Korean application:

Appln. No. 2003-0066498                      filed September 25, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: March 12, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0066498  
Application Number

출원 년 월 일 : 2003년 09월 25일  
Date of Application SEP 25, 2003

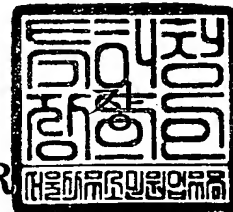
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 07 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.09.25
【국제특허분류】	H01L
【발명의 명칭】	양질의 코발트 실리사이드막 형성을 위한 개선된 코발트 실리사이드 형성 방법 및 이를 이용한 반도체 소자의 제조 방법
【발명의 영문명칭】	Improved cobalt silicide formation method for forming high quality cobalt silicide layer and fabrication method for semiconductor device using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	구경모
【성명의 영문표기】	K00,Kyeong Mo
【주민등록번호】	681114-1063510
【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 SK아파트 106동 1004호
【국적】	KR
【발명자】	
【성명의 국문표기】	구자흠
【성명의 영문표기】	KU,Ja Hum
【주민등록번호】	680110-1010516

【우편번호】 463-706

【주소】 경기도 성남시 분당구 구미동 무지개마을 건영아파트 1004동 1401호

【국적】 KR

【발명자】

【성명의 국문표기】 박혜정

【성명의 영문표기】 PARK, Hye Jeong

【주민등록번호】 761111-2850510

【우편번호】 157-763

【주소】 서울특별시 강서구 등촌3동 주공3단지아파트 303동 402호

【국적】 KR

【우선권주장】

【출원국명】 KR

【출원종류】 특허

【출원번호】 10-2002-0063567

【출원일자】 2002.10.17

【증명서류】 첨부

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	31 면	31,000 원
【우선권주장료】	1 건	26,000 원
【심사청구료】	50 항	1,709,000 원
【합계】		1,795,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통 2. 우선권증명서류 및 동 번역문\_1통

**【요약서】****【요약】**

양질의 코발트 실리사이드막 형성이 가능한 개선된 코발트 실리사이드 형성 방법 및 이를 이용한 반도체 소자의 제조 방법이 제공된다. 실리콘을 포함하는 도전 영역 위에 코발트를 포함하는 막을 형성한 후, 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성한다. 이후 열처리에 의해 코발트가 실리콘과 반응하여 코발트 실리사이드막을 형성하도록 한다. 또, 선택적으로 코발트를 포함하는 막의 형성 공정을 고온에서 실시하여 확산 억제 계면막이 형성되도록 한다.

**【대표도】**

도 5

**【색인어】**

코발트 실리사이드, 캡핑막, 티타늄, 고온 증착

**【명세서】****【발명의 명칭】**

양질의 코발트 실리사이드막 형성을 위한 개선된 코발트 실리사이드 형성 방법 및 이를 이용한 반도체 소자의 제조 방법{Improved cobalt silicide formation method for forming high quality cobalt silicide layer and fabrication method for semiconductor device using the same}

**【도면의 간단한 설명】**

도 1은 종래의 코발트 실리사이드 형성 방법 적용시 발생하는 활성 영역과 활성 영역간의 단락을 도시하는 평면도이다.

도 2는 종래의 코발트 실리사이드 형성 방법 적용시 재스퍼터링이 일어나는 기작을 나타내는 단면도이고, 도 3은 재스퍼터링에 의해 불량하게 형성된 코발트 실리사이드막을 도시하는 단면도이다.

도 4는 종래의 코발트 실리사이드 형성 방법 적용시 발생하는 가장자리 효과 및 이로 인한 실리사이드막의 면저항( $R_s$ ) 로딩(load)ing) 문제를 도시하는 단면도이다.

도 5는 본 발명의 일 실시예에 따른 코발트 실리사이드 형성 방법의 흐름도이고, 도 6a 내지 도 6d는 도 5의 각 단계별 중간 구조물의 단면도들이다.

도 7은 고온 코발트막 증착시 형성되는 계면막의 확산 억제 기작을 설명하기 위한 단면도이다.

도 8a 및 8b는 본 발명의 특정 실시예에 따라 형성된 코발트 실리사이드막의 SEM(Scanning Electron Micrograph) 사진들이고 도 9a 및 9b는 종래의 방법에 의해 형성된 코발트 실리사이드막의 SEM 사진들이다.

도 10a 및 도 10b는 각각 본 발명의 특정 실시예 및 종래의 방법에 의해 형성된 코발트 실리사이드막을 구비하는 게이트의 Rs값을 측정한 결과를 나타내는 그래프들이다.

도 11a 및 도 11b는 각각 본 발명의 특정 실시예 및 종래의 방법 적용 도중, 1차 급속 열적 어닐링(RTA) 직후 및 선택적 습식 식각 직후에 SIMS(Secondary Ion-Mass Spectrometer)로 분석한 결과를 나타내는 그래프들이다.

도 12는 전처리를 본 발명의 특정 실시예에 따른 습식 세정으로만 실시한 경우와 종래의 RF 스퍼터 식각을 실시한 경우의 누설 전류를 측정한 결과를 나타내는 그래프이다.

도 13a는 본 발명의 특정 실시예에 따라 코발트막을 고온에서 증착한 후, TEM(Transmission Electron Microscope)으로 관찰한 사진이고, 도 13b 및 도 13c는 각각 고온 증착시 형성된 계면막의 SAD(Selected Area Diffraction) 패턴을 나타낸다.

도 14는 본 발명의 특정 실시예에 따라 코발트막을 고온에서 증착한 경우와 종래의 방법에 따라 코발트막을 증착한 경우의 누설 전류를 측정한 결과를 나타내는 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 소자의 제조 방법에 널리 적용되는 코발트 실리사이드 형성 방법에 관한 것으로, 특히 양질의 코발트 실리사이드막 형성이 가능한 개선된 코발트 실리사이드 형성 방법 및 이를 이용한 반도체 소자의 제조 방법에 관한 것이다.

<13> MOS(Metal Oxide Semiconductor) 트랜지스터를 포함하는 반도체 소자에서 게이트 저항 및/또는 소오스/드레인 콘택 저항이 증가하여 소자의 동작 속도가 증가하는 문제를 해결하기 위하여 실리사이드막을 형성하는 방법이 널리 사용되고 있다. 실리사이드막 중에서도  $16\text{--}18\mu\Omega\text{cm}$ 의 낮은 저항을 가지고 열적 안정성(thermal stability)이 뛰어나며, 면저항이 크기에 영향을 받지 않는(less Rs dependency to size) 코발트 실리사이드막(특히 모노코발트 다이실리사이드( $\text{CoSi}_2$ )막) 형성 방법이 대표적인 실리사이드막 형성 방법으로 반도체 소자 제조 공정에 적용되고 있다. 특히, 고속 동작을 요하는 SRAM(Static Random Access Memory) 또는 로직 소자 등에서는 코발트 실리사이드 형성 방법이 필수적으로 적용되고 있다.

<14> 그런데, 일반적으로 실리콘 표면에 실리콘 산화막, 실리콘질화막 등과 같은 불순물들이 존재하면 코발트 실리사이드막 형성이 불량해진다. 따라서, 종래의 코발트 실리사이드 형성 방법에서는 코발트막을 증착하기 전에 기판 표면을 습식 세정한 후, RF 스퍼터링 식각을 기판 전면에 실시한다. 그런데, RF 스퍼터링 식각은 아르곤 이온( $\text{Ar}^+$ )을 이용하는 물리적인 식각이므로, 기판 표면에 결함을 유발한다. 또, RF 스퍼터링 식각시 발생하는 제스퍼터링으로 인해 불량한 코발트 실리사이드가 형성되거나 활성 영역과 활성 영역 간에 단락이 발생한다. 도 1은



활성 영역과 활성 영역간의 단락이 발생한 결과물을 도시한 평면도이다. 도 1에서 3은 활성 영역을, 4는 웰 영역을, 5는 게이트를, 7은 스페이서를, 11c는 활성 영역간에 단락을 일으키는 코발트 실리사이드막을 나타낸다.

<15> 도 2는 재스퍼터링이 일어나는 기작을 도 3은 재스퍼터링에 의해 불량하게 형성된 코발트 실리사이드막을 도시하는 단면도들로 이들은 각각 도 1의 II-II'선을 따라 자른 단면도들이다.

<16> 도 2에 도시되어 있는 바와 같이, RF 스퍼터링 식각(10)시 얇은 트렌치 소자 분리 영역(2)의 산화물(2a) 또는 스페이서(7)의 질화물(7a)이 활성 영역(3) 또는 게이트(5) 위로 재스퍼터링(resputtering)되거나, 활성 영역(3)의 실리콘(3a)이 스페이서(7)로 재스퍼터링된다.

<17> 재스퍼터링된 산화물 또는 질화물(2a, 7a)로 인해, 도 3에 도시되어 있는 바와 같이, 활성 영역(3) 상의 코발트 실리사이드막(11a)과 게이트(5)위의 코발트 실리사이드막(11b)의 두께가 불균일하게 형성되고, 재스퍼터링된 실리콘(3a)으로 인해, 스페이서(7)의 측면을 따라서도 코발트 실리사이드막(11c)이 형성되어서 도 1과 같이 활성 영역(3)간에 단락이 일어나도록 한다.

<18> 한편, 도 4에 도시되어 있는 바와 같이, 기판 전면에서 형성된 코발트막(11)의 실리사이드화 반응이 게이트(5a) 패턴 가장자리 및 STI(2)와 활성 영역(3)이 접하는 가장자리에서 집중적으로 일어나는 효과(edge effect)(13)로 인해 코발트 실리사이드막(11d)의 두께가 증가하여 Rs 값이 조절 가능한 범위를 벗어나는 실리사이드 Rs 로딩(loading) 문제가 발생하고 소오스/드레인 영역(8)에서는 누설 전류(14)의 원인이 되기도 한다. 이는 게이트의 임계 치수(CD)가 100nm 이하로 감소하면 더욱 심각해진다. 도 4의 좌측에 도시되어 있는 게이트(5a)에 형성되는 코발트 실리사이드막(11d)의 두께에 비해, 우측에 도시되어 있는 CD가 작은 게이트(5b)에 형성되는

코발트 실리사이드막(11e)의 두께가 거의 두배 이상이 된다. 이로 인해 게이트 패턴(5b)의 어스펙트 비를 낮추는 것도 제약을 받게 되고, 이는 후속 공정 마진에 악영향을 미치게 된다.

【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명이 이루고자 하는 기술적 과제는 양질의 코발트 실리사이드막을 형성할 수 있는 코발트 실리사이드 형성 방법을 제공하고자 하는 것이다.
- <20> 본 발명이 이루고자 하는 다른 기술적 과제는 실리사이드 형성 방법의 변수를 조절함으로써 면저항을 용이하게 조절할 수 있는 공정 윈도우(process window)가 큰 코발트 실리사이드 형성 방법을 제공하고자 하는 것이다.
- <21> 본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 코발트 실리사이드막 형성방법을 사용하여 반도체 소자를 제조하는 방법을 제공하고자 하는 것이다.

【발명의 구성 및 작용】

- <22> 상기 기술적 과제들을 달성하기 위한 본 발명의 일 실시예에서는 실리콘을 포함하는 도전 영역상에 코발트를 포함하는 막을 형성한 후, 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성한다. 이어서, 결과물을 열처리하여 코발트가 실리콘과 반응하여 코발트 실리사이드막을 형성하도록 한다.
- <23> 상기 기술적 과제들을 달성하기 위한 본 발명의 다른 실시예에서는 실리콘을 포함하는 도전 영역 상에 코발트를 포함하는 막을 형성하되, 코발트가 실리콘과 반응하여 다이코발트 모노실리사이드 또는 모노코발트 모노실리사이드 확산 억제 계면막을 형성하도록 하는 온도에서 코발트를 포함하는 막을 형성한다. 이어서, 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성한다. 결과물을 열처리하여 확산

억제 계면막이 모노코발트 다이실리사이드막으로 전환되도록 함과 동시에 코발트를 포함하는 막의 코발트가 상기 실리콘과 반응하여 모노코발트 다이실리사이드막을 형성하도록 한다.

- <24>        상기 또 다른 기술적 과제를 달성하기 위한 반도체 소자의 제조 방법에서, 상기 실리콘을 포함하는 도전 영역은 반도체 기판 상의 활성 영역 상에 형성된 소오스/드레인 영역 및 폴리실리콘 게이트이다.
- <25>        기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <26>        본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <27>        본 발명의 실시예들에서는 코발트막 위에 증착하는 캡핑막을 티타늄을 풍부하게 포함하는(Ti rich) 막으로 형성할 것이다. 캡핑막 내의 풍부한 티타늄은 코발트막과 실리콘(벌크 실리콘 또는 (폴리)실리콘막)의 계면으로 확산하여 계면에 존재하는 산화물 또는 질화물을 제거한다. 따라서 양호한 코발트 실리사이드막의 형성이 가능하도록 할 것이다. 또, 본 발명의 어떤 실시예들에서는 불량한 코발트 실리사이드막의 형성 원인이 되는 산화물, 질화물, 또는 실리콘의 재스퍼터링을 원천적으로 방지하기 위하여 RF 스퍼터링 식각에 의한 전처리 공정을 실시하지 않고도 코발트 실리사이드막이 형성될 표면에 형성되어 있는 자연산화막을 제거하기에 적합한 습식 전처리 공정을 제공할 것이다. 따라서 본 명세서에서 습식 세정 단계만을 실시한다 함은 전처리 공정시 RF 스퍼터링 식각을 생략한 경우를 지칭한다. 또, 본 발명의 다른 실시

예들에서는 가장자리 효과에 의해 코발트 실리사이드화 방법의 공정 윈도우가 작아지는 것을 해결하기 위하여 코발트막을 고온에서 형성하는 코발트 실리사이드 형성 방법을 제공할 것이다

- <28> 이하, 본 발명의 일 실시예에 따른 코발트 실리사이드 형성 방법을 완전 CMOS형 SRAM의 게이트와 활성 영역 상에 코발트 실리사이드막을 형성하는 방법을 예로 들어 설명한다.
- <29> 도 5는 본 발명의 일 실시예에 따른 코발트 실리사이드화 방법의 흐름도이고, 도 6a 내지 도 6d는 도 5의 각 단계별로 공정 진행 중인 실리콘 기판의 단면도들이다.
- <30> 도 5 및 도 6a를 참조하면, 먼저 트랜지스터 형성 단계(S1)를 실시한다. 구체적으로, 통상의 공정을 통해 STI(102)를 형성한 후, p형 실리콘 기판(100)상에 이온주입에 의해 N-웰(101) 및 P-웰(미도시)을 형성한다. 이어서, 기판(100) 상에 산화막을 110-130Å 두께로 형성하고 폴리실리콘을 1500-2500Å 두께로 형성한 후, 이를 차례대로 패터닝하여 게이트(105) 및 게이트 산화막(104)을 형성한다. 게이트 산화막(104)은 실리콘 산화막, 하프늄 산화막, 지르코늄 산화막, 알루미늄 산화막, 탄탈륨 산화막, 란타늄 산화막 등의 산화막을 CVD(Chemical Vapor Deposition) 또는 ALD(Atomic Layer Deposition) 등의 방법으로 증착하여 형성할 수 있다. 게이트(105)를 구성하는 폴리실리콘층은 LP-CVD 등의 방법으로 불순물이 도핑된 폴리실리콘을 증착하여 형성하는데, 증착과 동시에 도핑하여도 되고 증착한 다음 도핑하여도 된다. 이어서, LDD(Lightly Doped Drain) 영역 형성을 위한 이온 주입을 실시한다. n형 이온(예., As<sup>+</sup>)을 주입하여 NMOS 트랜지스터용 LDD(106n)를 형성하고 p형 이온(예., BF<sub>2</sub><sup>+</sup>)을 주입하여 PMOS 트랜지스터용 LDD(106p)를 형성한다. 계속해서, 게이트(105)의 측벽에 스페이서(107)를 형성한다. 스페이서(107)는 실리콘 질화막 단독 또는 MTO(Middle Temperature Oxide)와 실리콘 질화막의 적층막 등으로 형성한다. 스페이서(107) 형성 후, n형 이온(예., As<sup>+</sup>)을 주입하여 N<sup>+</sup> 소

오스/드레인 영역(108n)을 형성하고, p형 이온(예.,  $BF_2^+$ )을 주입하여 P+ 소오스/드레인 영역(108p)을 형성하여 NMOS 소오스/드레인(109n) 및 PMOS 소오스/드레인(109p)을 형성한다.

<31> 도 5 및 도 6b를 참조하면, 전처리 단계(S2, S3')를 실시한 후, 코발트를 포함하는 막(111) 형성 단계(S3) 및 티타늄이 풍부한 캡핑막(113) 형성 단계(S4)를 실시한다.

<32> 전처리 단계(S2, S3')는 소오스/드레인 영역(109n, 109p) 및 게이트(105) 상에 형성된 자연산화막 및/또는 스페이서(107) 형성시 잔류한 질화막 파티클 등의 불순물을 제거하기 위하여 실시한다.

<33> 전처리 단계(S2, S3')는 습식 세정 단계(S2)와 RF 스퍼터 식각 단계(S3')의 조합으로 구성될 수 있다.

<34> 비록 RF 스퍼터 식각 단계(S3')에서 캐스퍼터링된 산화물, 질화물 등의 불순물들이 생성되더라도 이들은 후속 공정에서 형성하는 캡핑막(113)내에 풍부한 티타늄에 의해 제거되므로 불량률의 원인이 되지 않는다. 보다 자세한 기작은 후술한다.

<35> 따라서, RF 스퍼터 식각 단계(S3')는 필요에 따라 선택적으로 진행할 수 있다. 습식 세정 단계(S2)는 후속의 RF 스퍼터 식각 단계(S3')의 진행 여부에 따라 다양하게 변형하여 실시할 수 있다. RF 스퍼터 식각 단계(S3')를 실시할 경우에는 습식 세정을 약하게 진행하여도 무방하며, RF 스퍼터 식각 단계(S3')를 생략할 경우에는 자연산화막 등의 불순물을 완전히 제거할 수 있는 조건으로 실시한다.

<36> RF 스퍼터 식각 단계(S3')를 생략할 경우에는 다음과 같은 두 가지 방식의 습식 세정 전처리가 바람직하다. 첫 번째 방식은 탈이온수에 희석된 HF 액을 사용하는 제1 단계, 수산화암모늄, 과산화수소 및 물의 혼합액인 SC1액을 사용하는 제2 단계 및 탈이온수에 희석된 HF 액을

사용하는 제3 단계로 구성된다. 희석된 HF액으로는 100:1 희석 HF 액 또는 200:1 희석 HF 액 모두 사용가능하며, 제1 단계는 약 10 내지 300초간 바람직하기로는 약 150초간 실시하고, 제2 단계는 40 내지 90℃ 의 온도, 바람직하기로는 70℃의 온도에서, 약 1 내지 60분간, 바람직하기로는 약 30분간 실시하고, 제3 단계는 약 10 내지 300초간 바람직하기로는 약 60초간 실시한다. 두 번째 방식은 황산과 과수의 혼합액을 사용하는 제1 단계 및 탈이온수에 희석된 HF 액을 사용하는 제2 단계로 구성된다. 제1 단계에서 사용되는 황산과 과수의 비율은 6:1이 바람직하고, 제2 단계에서 사용되는 희석된 HF액은 100:1 희석 HF액 또는 200:1 희석 HF 액 모두 사용 가능하다. 제1 단계는 120℃ 온도에서 약 500 내지 700 초간, 바람직하기로는 600초간 실시하고, 제2 단계는 150 내지 300초간, 바람직하기로는 250초간 실시한다.

- <37> 반면, RF 식각 단계(S3')를 실시할 경우에는 상기 두 가지 습식 세정 방식을 구성하는 세부적인 단계의 처리 시간을 단축하여 진행하거나, 희석 HF액 처리만으로 습식 세정 단계를 진행할 수도 있다.
- <38> 이어서, 기판(100)의 노출된 표면의 단차를 따라 정합적으로 코발트를 포함하는 막(111)을 형성한다(S3).
- <39> 코발트를 포함하는 막(111)은 100% 코발트만을 포함하는 순수 코발트막 또는 코발트 합금막을 모두 포괄하는 용어이다. 코발트 합금막으로는 탄탈륨(Ta), 지르코늄(Zr), 티타늄(Ti), 니켈(Ni), 하프늄(Hf), 텅스텐(W), 백금(Pt), 팔라듐(Pd), 바나듐(V), 니오븀(Nb) 및 이들의 혼합물로부터 선택된 물질을 20 원자(atomic)% 이하로 포함하는 코발트 합금막이 바람직하다.
- <40> 코발트를 포함하는 막(111)은 스퍼터링에 의해 형성한다. 코발트를 포함하는 막(111)의 두께는 게이트(105)의 CD나 높이 등을 고려하여 결정한다. 예를 들어, 게이트의 CD가 100nm인 경우에는 150 Å 이하 두께로 형성하는 것이 바람직하다.

<41> 코발트를 포함하는 막(111)의 증착은 실온 이상의 온도에서 수행 가능하다. 그러나, 선택적으로 코발트를 포함하는 막(111)의 증착을 300 내지 500℃의 고온에서 진행하는 것이 바람직하다. 고온에서 증착하면 도 6b의 확대 영역에 도시되어 있는 바와 같이 증착과 동시에 코발트를 포함하는 막(111) 내의 코발트가 소오스/드레인 영역(109n, 109p)의 실리콘 및 게이트(105)의 폴리실리콘과 반응하여 다이코발트 모노실리사이드( $\text{Co}_2\text{Si}$ ) 또는 모노코발트 모노실리사이드( $\text{CoSi}$ )로 이루어진 계면막(115a)이 형성된다. 계면막(115a)은 후속의 열처리 공정에서 코발트의 확산 억제 기능을 갖는다. 이에 대해서는 후술한다.

<42> 계속해서, 코발트를 포함하는 막(111) 위에 티타늄이 풍부한 캡핑막(113)을 형성한다 (S4). 티타늄이 풍부한 캡핑막(113)은 캡핑막(113) 내의 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 막을 지칭한다. 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막, 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄 텅스텐막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이하인 질소가 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 텅스텐막, 그리고 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이하인 텅스텐이 풍부한 티타늄 텅스텐막의 적층막으로 이루어진 그룹에서 선택된 어느 하나이다. 또, 티타늄이 풍부한 캡핑막(113)은 100% 티타늄으로 구성된 순수 티타늄막도 포함한다.

<43> 캡핑막(113) 또한 스퍼터링에 의해 형성한다. 티타늄/질소의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 질화막의 경우를 예로 들면, 티타늄 타겟을 사용하고, 스퍼터링 장치로 유입되는 질소 가스의 유량을 조절함으로써 원하는 조성비를 가지는 캡핑막(113)을 형성할 수 있다. 캡핑막(113)의 기능 또한 후술한다.

- <44> RF 스퍼터 식각 단계(S3'), 코발트를 포함하는 막 형성 단계(S3) 및 티타늄이 풍부한 캡핑막 형성 단계(S4)는 인-시츄로 진행되는 것이 바람직하다.
- <45> 도 5 및 도 6c를 참조하면, 코발트를 포함하는 막(111) 및 티타늄이 풍부한 캡핑막(113)이 형성된 결과물에 대하여 저온 열처리 단계(S5)를 실시한다. 저온 열처리는 350-650 °C 의 온도 범위에서 급속 열적 어닐링(RTA)으로 실시한다.
- <46> 저온 열처리 공정이 시작되면, 먼저 캡핑막(113) 내에 풍부하게 존재하는 티타늄이 코발트를 포함하는 막(111)과 접촉하고 있는 소오스/드레인 영역(109n, 109p) 및 게이트(105)의 상부에 존재하는 불순물들을 효과적으로 제거한다.
- <47> 티타늄에 의해 제거되는 불순물은 코발트를 포함하는 막(111) 형성 전에 실시하는 전처리인 RF 스퍼터 식각 단계(S3')시 발생하는 산화물, 질화물, 실리콘 등의 불순물이다.
- <48> 티타늄에 의해 제거되는 또 다른 불순물은 코발트를 포함하는 막(111) 증착 전에, RF 스퍼터 식각 단계(S3')를 생략하고 습식 세정 단계(S2) 만을 실시할 경우 습식 세정과 코발트를 포함하는 막(111)의 증착이 인-시츄로 이루어지지 않고 코발트를 포함하는 막(111)의 증착 전까지 정체 시간이 존재하게 되고 이 정체 시간 동안 대기 중에 노출된 기판(100) 표면에 존재하게 되는 불순물들이다.
- <49> 따라서, 티타늄이 풍부한 캡핑막(113)을 형성함으로써 RF 스퍼터 식각에 의해 발생하는 불순물로 인해 불량한 코발트 실리콘사이드막이 형성되는 것을 방지할 수 있다. 또, 불순물의 발생원을 근본적으로 차단하기 위해 RF 스퍼터 식각을 실시하지 않고 습식 세정만으로 전처리 할 경우, 습식 세정 후 기판(100) 표면이 대기 중에 노출되는 공정 지체 시간이 길어지더라도 이



공정 지체 시에 생성되는 불순물을 티타늄이 제거함으로 습식 세정 후 코발트를 포함하는 막(111)의 증착 전까지의 정제 시간에 대한 공정 윈도우를 넓힐 수 있다.

<50> 티타늄이 불순물들을 효과적으로 제거하면, 코발트를 포함하는 막(111) 내의 코발트가 소오스/드레인 영역(109n, 109p) 및 게이트(105)로 확산하면서 (폴리)실리콘과 반응하여 양호한 상태의 CoSi 막(115b)을 형성한다.

<51> 한편, 코발트를 포함하는 막(111)을 300-500℃에서 형성하여 확산 억제 계면막(115a)이 존재할 경우에는 Co<sub>2</sub>Si 또는 CoSi로 구성된 확산 억제 계면막(115a)이 코발트의 확산 속도를 늦추어 코발트 실리사이드화 반응 속도를 낮추는 역할을 한다. 도 7을 참조하여 자세히 설명하면, 확산 억제 계면막(115a)을 구성하는 Co<sub>2</sub>Si 또는 CoSi는 다결정 상태이므로 이 확산 억제 계면막(115a) 상부의 코발트를 포함하는 막(111) 내의 코발트가 기판(100)으로 이동하는 확산 경로(200)가 다결정 입계(grain boundary)로 한정되기 때문이다. 그러므로 확산 억제 계면막(115a)이 없는 경우의 확산 경로(250)보다 그 확산 경로가 줄어들어 적은 양의 코발트가 실리콘과 반응하게 된다. 따라서, 확산 억제 계면막(115a)을 형성함으로써 가장자리 효과로 인해 면저항이 조절 가능한 범위를 벗어나는 현상 및 누설 전류가 증가하는 것을 방지할 수 있다.

<52> 저온 열처리에 의해 확산 억제 계면막(115a)의 Co<sub>2</sub>Si도 CoSi로 전환된다.

<53> 다시, 도 5 및 도 6d를 참조하면, 캡핑막(113)과 저온 열처리에 의해 실리사이드화되지 않고 미반응 상태로 남아 있는 코발트를 포함하는 막(111)을 선택적으로 제거하는 습식 식각 단계(S6)를 실시한다. 습식 식각은 황산 및 수산화암모늄의 혼합액 또는 인산, 초산, 질산 및 과산화수소의 혼합액을 사용하여 진행한다.

- <54> 이어서, 고온 열처리 단계(S7)를 실시한다. 고온 열처리에 의해 CoSi막(115b)이 저저항의 CoSi<sub>2</sub>막(115c)으로 전환된다. CoSi<sub>2</sub>막(115c)은 CoSi막(115b)에 비해 보다 더 안정적이고, 낮은 저항을 가진다. 고온 열처리는 700-900℃ 의 온도 범위에서 RTA로 실시한다.
- <55> 도 5 내지 도 7을 참조하여 설명한 실시예에서는 자기 정렬 실리사이드화(Self Align Silicide) 공정을 도시하였으나, 필요에 따라서는 코발트 실리사이드막이 형성되어서는 안될 영역을 차단하는 실리사이드 블록킹 막을 형성하는 공정을 실시할 수도 있다.
- <56> DRAM에서는 게이트 저항을 최소화하면서도 최적의 리프레쉬 타임을 유지하기 위해서 활성 영역에는 실리사이드막을 형성하지 않고 게이트만 선택적으로 실리사이드화하는 것이 필요하다. 반도체 다이바이스의 고성능 달성과 칩면적 축소 등을 목적으로 최근들어 주목받고 있는 로직과 메모리를 결합한 MDL(Merged DRAM with Logic)의 경우에도, 주변회로 및 로직부에서는 콘택 저항이나 게이트, 소오스/드레인의 면저항 감소를 위해 활성 영역과 게이트 모두 또는 활성 영역중 일부와 게이트 일부를 실리사이드화하는 반면 메모리 셀 어레이부에서는 최적의 리프레쉬 타임을 유지하기 위해서 게이트만 선택적으로 실리사이드화하는 것이 필요하다. 비휘발성 메모리 소자의 경우에도 패턴 밀도가 증가함에 따라 게이트 길이가 증가하여 결과적으로 저항이 증가되는 것을 개선하기 위하여 게이트만 선택적으로 실리사이드화하는 것이 필요하다. 또, 필요에 따라서는 게이트에는 실리사이드를 형성하지 않고, 소오스/드레인에만 실리사이드를 형성할 수도 있다.
- <57> 따라서, 선택적으로 실리사이드막을 형성할 필요가 있는 영역만 노출시키는 실리사이드 블록킹 막 형성 공정을 상기 습식 세정 단계 전에 더 실시할 수 있다.

- <58>        또, 상기 실시예에서는 코발트 실리사이드 형성 방법을 소오스/드레인 및 게이트에 적용하는 경우를 설명하였으나, (폴리)실리콘으로 구성되는 도전 영역의 저항을 낮출 필요가 있는 곳이라면 어다이든 적용가능함은 물론이다.
- <59>        본 발명은 이하의 비제한적인 실험예들을 통해 보다 자세히 설명될 것이다. 한편, 여기에 기재되지 않은 내용은 당업자라면 충분히 기술적으로 유추할 수 있는 것이므로 그 설명을 생략한다.
- <60>        <실험예 1>
- <61>        반도체 웨이퍼 위에 110nm 디자인 룰로, 6Tr-SRAM 셀을 제조하는 공정 중에 다음과 같이 본 발명에 따른 코발트 실리사이드 형성 방법을 적용하여 테스트 샘플을 준비하였다.
- <62>        측벽 스페이서를 구비하는 폴리실리콘 게이트 패턴 및 소오스/드레인 영역(이하 하부 구조물)이 완성된 기판 전면에서 SC1과 HF액을 차례대로 처리하여 습식 세정하였다. 50Å 두께의 산화막을 제거할 수 있는 조건으로 Ar RF 스퍼터 식각을 실시한 후, 스퍼터링법에 의해 코발트막을 100Å 두께로 형성하고, N<sub>2</sub> 가스의 플로우율을 30sccm으로 하여 티타늄이 풍부한 티타늄 질화물 캡핑막을 100Å 두께로 형성하였으며, 이들 단계는 인-시츄로 실시하였다. 상기 조건으로 형성한 캡핑막내의 Ti 원자 %/N 원자 %의 비율을 RBS(Rutherford Backscattering Spectroscopy)로 분석한 결과 3.33이었다.
- <63>        1차 RTA를 450℃ 에서 90초간 실시하고, 캡핑막 및 미반응 코발트막을 황산과 과수의 혼합액을 사용하여 제거한 후, 2차 RTA를 800℃ 에서 30초간 실시하였다.

- <64> 그 결과 얻어진  $\text{CoSi}_2$ 막의 SEM(Scanning Electron Micrograph) 사진이 도 8a 및 8b에 도시되어 있다. 도 8a는 게이트의 상면도이고, 도 8b는 콘택 패턴에 의해 노출된 활성 영역의 상면도이다.
- <65> 한편,  $\text{N}_2$  가스의 플로우율을 85sccm으로 하여 캡핑막을 형성하였다는 점을 제외하고는 나머지 공정 조건은 모두 동일하게 진행하여 대조 샘플을 준비하였다. 대조 샘플에서 형성한 캡핑막의 Ti 원자 % / N 원자 %의 비율은 RBS로 분석한 결과 0.89 이었다.
- <66> 대조 샘플에서 제조된  $\text{CoSi}_2$ 막의 도 9a 및 도 9b에 도시되어 있다. 도 9a는 게이트의 상면도이고, 도 9b는 활성 영역의 상면도이다.
- <67> 테스트 샘플의 SEM 사진(도 8a 및 도 8b)과 대조 샘플의 SEM 사진(도 9a 및 도 9b)을 비교해보면 본 발명에 따라 티타늄이 풍부한 캡핑막을 적용하여 형성한  $\text{CoSi}_2$ 막의 morphology가 질소가 풍부한 캡핑막을 적용하여 형성한  $\text{CoSi}_2$ 막의 morphology에 비해 매우 양호함을 알 수 있다.
- <68> <실험예 2>
- <69> 실험예 1에서 준비한 테스트 샘플 및 대조 샘플별로 NMOS 게이트의 면저항과 PMOS 게이트의 면저항을 각각 측정하였다. 그 결과가 도 10a 및 도 10b에 도시되어 있다. 도 10a는 NMOS 게이트의 면저항을 도 10b는 PMOS 게이트의 면저항을 도시하며, 각 도면에서 -○-로 나타낸 그래프는 테스트 샘플을 -□-로 나타낸 그래프는 대조 샘플을 나타낸다.
- <70> 도 10a 및 도 10b로부터 테스트 샘플에서는  $R_s$  분포가 매우 낮으면서 균일한 반면, 대조 샘플에서는  $R_s$  분포가 매우 높으면서 불균일함을 알 수 있다. 이는 티타늄이 풍부한 캡핑막을

사용할 경우 코발트막과 소오스/드레인 영역 및 게이트의 계면에 존재하는 산화물, 질화물 등의 불순물이 효과적으로 제거되어 나타난 결과로 해석된다.

<71> <실험예 3>

<72> 실험예 1에서와 동일한 방법으로 테스트 샘플 및 대조 샘플을 준비하되, 1차 RTA 후에 SIMS로 분석하고, 캡핑막 및 미반응 코발트막을 선택적으로 제거하는 습식 식각 후에 SIMS로 분석한 결과가 각각 도 11a 및 도 11b에 도시되어 있다.

<73> 도 11a 및 도 11b에서 -◆- 와 -▼- 는 테스트 샘플을 -○-와 -□-는 대조 샘플을 각각 나타낸다. 선택적 습식 식각 후의 결과를 나타내는 도 11b를 참조하면, 티타늄이 풍부한 캡핑막을 적용할 경우가 질소가 풍부한 캡핑막을 적용할 경우에 비해 표면에서의 티타늄 함량이  $10^2$  정도 많음을 알 수 있다. 도 11b의 깊이  $0\mu\text{m}$ 인 부분은 1차 RTA전 실리콘 표면이면서, 선택적 습식식각 이전에 코발트와 코발트실리사이드의 계면이다. 코발트가 실리콘 영역으로 확산하면서 실리콘 영역을 코발트 실리사이드막으로 전환시킨다는 점과 도 11b의 결과를 종합하여 판단하건대, 다량의 티타늄이 코발트막과 소오스/드레인 영역 및 게이트 영역의 계면으로 확산하여 계면에 존재하는 불순물들을 효과적으로 제거하는 것으로 해석할 수 있다.

<74> <실험예 4>

<75> 코발트막 증착전 전처리를 RF 스퍼터 식각은 실시하지 않고 새로운 습식 세정만으로 실시하였다는 점을 제외하고는 실험예 1에서 테스트 샘플을 준비하는 과정과 동일하게 테스트 샘플을 준비하였다. 습식 세정 전처리는 200:1 희석 HF액으로 150초간 처리하고, SC1으로 30분간 처리한 후, 200:1 희석 HF액으로 90초간 처리하여 진행하였다. 코발트 실리사이드화 공정이 완료된 후, PMOS에서 P+/N 접합의 누설전류를 측정하였다.

<76> 대조 샘플로는 하부 구조물이 완성된 기판 전면에서 SC1과 HF액을 차례대로 처리하여 습식 세정하고, Ar RF 스퍼터링 식각을 실시한 후, 스퍼터링법에 의해 코발트막을 100Å 두께로 형성하고, N<sub>2</sub> 가스의 플로우율을 85sccm으로 하여 질소가 풍부한 티타늄 질화물 캡핑막을 100Å 두께로 형성하였으며, 이후 공정은 테스트 샘플과 동일하게 진행한 후, PMOS에서 P+/N 접합의 누설전류를 측정하였다.

<77> 측정 결과가 도 12에 도시되어 있다. -□-는 테스트 샘플을, -○-는 대조 샘플을 각각 나타낸다. 테스트 샘플의 경우 누설 전류가 향상되고 그 분포 또한 균일함을 알 수 있다.

<78> <실험예 5>

<79> 실리콘 기판 위에 코발트막을 400℃에서 80Å 두께로 증착한 후, TEM으로 관찰한 결과가 도 13a에 도시되어 있다. 도 13a에 도시되어 있는 바와 같이, 코발트막과 실리콘 기판의 계면에 20-28Å 두께의 코발트 실리사이드 계면막이 형성되었음을 확인할 수 있다.

<80> 형성된 코발트 실리사이드 계면막의 종류를 확인하기 위하여 SAD(Selected Area Diffraction) 패턴을 측정한 결과가 도 13b 및 도 13c에 도시되어 있다. 도 13b 및 도 13c로부터 고온 증착에 의해 형성되는 계면막은 Co<sub>2</sub>Si와 CoSi임을 알 수 있다.

<81> <실험예 6>

<82> 하부 구조물이 완성된 실리콘 기판에 대하여 SC1과 HF액을 차례대로 처리하고 Ar RF 스퍼터 식각을 진행한 후, 400℃의 온도에서 100Å 두께의 코발트막을 증착한 후, 1차 RTA를 450℃에서 90초간 실시하고, 캡핑막 및 미반응 코발트막을 황산과 과수의 혼합액을 사용하여 제거한 후, 2차 RTA를 800℃에서 30초간 실시하여 제1 테스트 샘플을 준비하였다.

- <83> 1차 RTA를 30초간 실시하였다는 점을 제외하고는 제1 테스트 샘플과 나머지 공정은 동일하게 진행하여 제2 테스트 샘플을 준비하였다.
- <84> 코발트막의 증착 온도만 150℃로 하고 나머지 조건은 제1 테스트 샘플과 동일하게 하여 제1 대조 샘플을 준비하였다.
- <85> 코발트막의 증착 온도만 150℃로 하고 나머지 조건은 제2 테스트 샘플과 동일하게 하여 제2 대조 샘플을 준비하였다.
- <86> 제1 및 제2 테스트 샘플과 제1 및 제2 대조 샘플의 각 부위별 면저항을 측정한 결과가 아래 표 1에 기재되어 있다.
- <87> 【표 1】

면저항(Rs)	N-활성영역	N-게이트	N-게이트	P-활성영역	P-게이트	P-게이트
대조샘플1	7.826 $\mu\text{m}$	6.213 $\mu\text{m}$	8.065 $\mu\text{m}$	7.826 $\mu\text{m}$	6.213 $\mu\text{m}$	8.065 $\mu\text{m}$
대조샘플2	8.2	7.0	8.4	7.8	7.0	8.4
테스트샘플1	8.2	7.8	8.2	8.0	7.8	8.2
테스트샘플2	12.2	9.0	8.7	12.0	9.2	8.6

- <88> 대조 샘플 1의 0.65 $\mu\text{m}$  게이트의 Rs보다 0.13 $\mu\text{m}$  게이트의 Rs가 작게 측정된 사실로부터 게이트의 CD가 작아지면서 코발트 실리사이드막의 두께가 두꺼워지는 것을 알 수 있다. 따라서, 이러한 현상은 게이트 CD가 100nm이하로 작아질때 더욱 심각해지리라는 것을 예측할 수 있다.
- <89> 대조 샘플 1과 2를 비교해보면, CD별 Rs값 편차는 1차 RTA 시간을 90초에서 30초로 감소시킬 경우 감소하는 경향이 있기는 하나, 그 정도가 충분하지 않음을 알 수 있다.
- <90> 대조 샘플 1과 테스트 샘플 1의 결과를 비교해보면 본 발명과 같이 코발트막의 증착을 고온(400℃)에서 진행하면 CD별 Rs값 편차가 매우 작아져서 실리사이드 Rs 로딩을 최소화할 수

있음을 알 수 있다. 이는 고온 증착시 생성된 코발트 실리사이드 계면막의 확산 억제 기능에 의한 것으로 해석된다.

<91>        또, 테스트 샘플 1과 테스트 샘플 2의 결과를 비교해보면, 1차 RTA의 시간을 90초에서 30초로 줄이면,  $0.13\mu\text{m}$  게이트에서의  $R_s$ 가  $0.65\mu\text{m}$  게이트에서의  $R_s$ 에 비해 증가하는 결과를 나타냄을 알 수 있다. 이는 게이트의 CD가 100nm 이하로 감소하더라도 증착 온도와 RTA의 시간을 조절함으로써 실리사이드  $R_s$  로딩 문제를 해결할 수 있음을 암시한다. 즉, 본 발명에 따른 고온 코발트 실리사이드막 형성 방법의 경우 공정윈도우가 매우 넓음을 알 수 있다.

<92>        <실험예 7>

<93>        실험예 6에서 준비한 테스트 샘플1과 대조 샘플 1의 누설 전류 특성을 측정하였다. 그 결과가 도 14에 도시되어 있다. -□-는 테스트 샘플 1을 -○-는 대조 샘플 1을 나타낸다. 테스트 샘플 1의 경우 누설 전류 특성이 대조 샘플 1에 비해 매우 향상되었음을 알 수 있다. 또, 테스트 샘플 1에서 활성 영역과 STI 가장자리 영역에 형성되는 코발트 실리사이드막의 두께는 300-360Å임에 반해 대조 샘플 1에서 활성 영역과 STI 가장자리 영역에 형성되는 코발트 실리사이드막의 두께는 370-700Å으로 매우 두껍게 형성되었다.

<94>        이러한 사실로부터 고온 코발트 증착시 형성되는 계면 코발트 실리사이드막이 코발트 원자가 실리콘을 포함하는 도전 영역으로 확산하는 것을 효과적으로 억제함을 알 수 있다.

#### 【발명의 효과】

<95>        본 발명에 따른 코발트 실리사이드 형성 방법은 캡핑막을 티타늄을 풍부하게 포함하는 막으로 형성하고 선택적으로 불순물의 발생원이 되는 RF 스퍼터 식각을 생략할 수 있으므로, 코발트막과 실리콘을 포함하는 도전 영역의 계면에 존재하는 불순물들로 인해 불량한 코발트



실리사이드막이 형성되는 것을 방지한다. 또, 몇몇 실시예들에서는 코발트막을 고온에서 형성하여 코발트 실리사이드화 반응 속도를 조절함으로써 가장자리 효과에 의해 코발트 실리사이드화 공정 윈도우가 작아지는 것을 효과적으로 해결할 수 있다.

<96> 도면 및 실시예에는, 본 발명의 전형적인 바람직한 실시예가 개시되었으며, 비록 특정한 용어를 사용하였지만, 이것들은 단지 일반적이고 묘사적인 의미로 사용된 것이지 후술되는 청구항에 의하여 정해지는 본 발명의 사상을 제한하기 위하여 사용된 것은 아니다.

【특허청구범위】

【청구항 1】

표면에 절연 영역과 실리콘 영역을 가지는 반도체 기판 위에 선택적으로 코발트 실리사이드를 형성하는 방법에 있어서,

상기 실리콘 영역상에 코발트를 포함하는 막을 형성하는 단계;

상기 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성하는 단계; 및

상기 결과물을 열처리하여 상기 코발트가 상기 실리콘과 반응하여 코발트 실리사이드막을 형성하도록 하는 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 2】

제1 항에 있어서, 상기 캡핑막은 순수 티타늄막, 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막, 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄 텅스텐막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이하인 질소가 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 텅스텐막의 적층막, 그리고 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이하인 텅스텐이 풍부한 티타늄 텅스텐막의 적층막으로 이루어진 그룹에서 선택된 어느 하나인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 3】

제2 항에 있어서, 상기 캡핑막은 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 4】

제2 항에 있어서, 상기 코발트를 포함하는 막을 형성하는 단계 전에, 상기 실리콘을 포함하는 도전 영역 상에 형성된 자연산화막 또는 불순물을 제거하는 전처리 단계를 더 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 5】

제4 항에 있어서, 상기 전처리 단계는

습식 세정 단계; 및

상기 습식 세정된 상기 기판 전면을 RF 스퍼터링하는 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 6】

제4 항에 있어서, 상기 전처리 단계는 RF 스퍼터링 단계를 포함하지 않는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 7】

제6 항에 있어서, 상기 전처리 단계는

탈이온수에 희석된HF 액을 사용하는 제1 단계,

수산화암모늄, 과산화수소 및 물의 혼합액을 사용하는 제2 단계; 및

탈이온수에 희석된HF 액을 사용하는 제3 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

#### 【청구항 8】

제6 항에 있어서, 상기 전처리 단계는

황산과 과수의 혼합액을 사용하는 제1 단계; 및

탈이온수에 희석된HF 액을 사용하는 제2 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

#### 【청구항 9】

제2 항에 있어서, 상기 코발트를 포함하는 막은 순수 코발트막, 또는 탄탈륨, 지르코늄, 티타늄, 니켈, 하프늄, 텅스텐, 백금, 팔라듐, 바나듐, 니오븀 및 이들의 혼합물로부터 선택된 물질을 20 원자(atomic)% 이하로 포함하는 코발트 합금막인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

#### 【청구항 10】

제2 항에 있어서, 상기 코발트를 포함하는 막을 형성하는 단계는 300-500 °C 의 온도 범위에서 진행하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

#### 【청구항 11】

제2 항에 있어서, 상기 열처리하는 상기 코발트가 상기 노출된 실리콘 기판 및/또는 실리콘을 포함하는 도전 영역의 실리콘과 반응하여 모노코발트 모노실리사이드막을 형성하도록 하는 제1 온도에서 실시하는 제1 급속 열적 어닐링 단계;

상기 캡핑막 및 상기 제1 급속 열적 어닐링 단계에서 미반응하고 잔류하는 상기 코발트를 포함하는 막을 선택적으로 제거하는 단계; 및

상기 제1 온도보다 높은 제2 온도에서 열처리하여 상기 모노코발트 모노실리사이드막이 모노코발트 다이실리사이드막으로 전환되도록 하는 제2 급속 열적 어닐링 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

#### 【청구항 12】

제11 항에 있어서, 상기 제1 온도는 350-650 °C 의 온도 범위이고,

상기 제2 온도는 700-900°C의 온도 범위인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

#### 【청구항 13】

표면에 절연 영역과 실리콘 영역을 가지는 반도체 기판 위에 선택적으로 코발트 실리사이드를 형성하는 방법에 있어서,

상기 실리콘 영역 상에 코발트를 포함하는 막을 형성하되, 상기 코발트가 상기 실리콘과 반응하여 다이코발트 모노실리사이드 또는 모노코발트 모노실리사이드 확산 억제 계면막을 형성하도록 하는 온도에서 상기 코발트를 포함하는 막을 형성하는 단계;

상기 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성하는 단계; 및

상기 결과물을 열처리하여 상기 확산 억제 계면막이 모노코발트 다이실리사이드막으로 전환되도록 하고, 상기 코발트를 포함하는 막의 코발트가 상기 실리콘과 반응하여 모노코발트

다이실리사이드막을 형성하도록 하는 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 14】

제13 항에 있어서, 상기 캡핑막은 순수 티타늄막, 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막, 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄 텅스텐막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이하인 질소가 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄 텅스텐막의 적층막, 그리고 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이하인 텅스텐이 풍부한 티타늄 텅스텐막의 적층막으로 이루어진 그룹에서 선택된 어느 하나인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 15】

제14 항에 있어서, 상기 캡핑막은 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 16】

제14 항에 있어서, 상기 코발트를 포함하는 막을 형성하는 단계 전에, 상기 실리콘을 포함하는 도전 영역 상에 형성된 자연산화막 또는 불순물을 제거하는 전처리 단계를 더 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 17】

제16 항에 있어서, 상기 전처리 단계는

습식 세정 단계; 및

상기 습식 세정된 상기 기판 전면을 RF 스퍼터링하는 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 18】

제16 항에 있어서, 상기 전처리 단계는 RF 스퍼터링 단계를 포함하지 않는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 19】

제18 항에 있어서, 상기 전처리 단계는

탈이온수에 희석된HF 액을 사용하는 제1 단계,

수산화암모늄, 과산화수소 및 물의 혼합액을 사용하는 제2 단계; 및

탈이온수에 희석된HF 액을 사용하는 제3 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 20】

제18 항에 있어서, 상기 전처리 단계는

황산과 과수의 혼합액을 사용하는 제1 단계; 및

탈이온수에 희석된HF 액을 사용하는 제2 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 21】

제14 항에 있어서, 상기 코발트를 포함하는 막은 순수 코발트막, 또는 탄탈륨, 지르코늄, 티타늄, 니켈, 하프늄, 텅스텐, 백금, 팔라듐, 바나듐, 니오븀 및 이들의 혼합물로

부터 선택된 물질을 20 원자(atomic)% 이하로 포함하는 코발트 합금막인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 22】

제14 항에 있어서, 상기 확산 억제 계면막을 형성하도록 하는 온도는 300-500 °C 의 온도인 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 23】

제14 항에 있어서, 상기 열처리하는 상기 확산 억제 계면막의 다이코발트 모노실리사이드막이 모노코발트 모노실리사이드막으로 전환되고, 상기 코발트가 상기 실리콘과 반응하여 모노코발트 모노실리사이드막을 형성하도록 하는 제1 온도에서 실시하는 제1 급속 열적 어닐링 단계;

상기 캡핑막 및 상기 제1 급속 열적 어닐링 단계에서 미반응한 상기 코발트를 포함하는 막을 선택적으로 제거하는 단계; 및

상기 제1 온도보다 높은 제2 온도에서 열처리하여 상기 모노코발트 모노실리사이드막이 모노코발트 다이실리사이드막으로 전환되도록 하는 제2 급속 열적 어닐링 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 24】

제23 항에 있어서, 상기 제1 온도는 350-650 °C 의 온도 범위이고,

상기 제2 온도는 700-900°C 의 온도 범위인 것을 특징으로 하는 코발트 실리사이드 형성 방법.



【청구항 25】

표면에 절연 영역과 실리콘 영역을 가지는 반도체 기판 위에 선택적으로 코발트 실리사이드를 형성하는 방법에 있어서

상기 실리콘 영역을 습식 세정하는 단계;

상기 습식 세정된 실리콘 영역 상에 코발트를 포함하는 막을 형성하되, 상기 코발트가 상기 실리콘과 반응하여 다이코발트 모노실리사이드 또는 모노코발트 모노실리사이드 확산 억제 계면막을 형성하도록 하는 온도에서 상기 코발트를 포함하는 막을 형성하는 단계;

상기 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성하는 단계;

상기 확산 억제 계면막이 모노코발트 모노실리사이드로 전환되고 상기 코발트가 상기 실리콘과 반응하여 모노코발트 모노실리사이드막을 형성하도록 하는 제1 온도에서 실시하는 제1 급속 열적 어닐링 단계;

상기 캡핑막 및 상기 제1 급속 열적 어닐링 단계에서 미반응한 상기 코발트를 포함하는 막을 선택적으로 제거하는 단계; 및

상기 제1 온도보다 높은 제2 온도에서 열처리하여 상기 모노코발트 모노실리사이드막이 모노코발트 다이실리사이드막으로 전환되도록 하는 제2 급속 열적 어닐링 단계를 포함하는 것을 특징으로 하는 코발트 실리사이드 형성 방법.

【청구항 26】

반도체 기판에 활성 영역을 정의하는 소자 분리 영역을 형성하는 단계;

상기 활성 영역 상에 소오스/드레인 영역과 측벽 스페이서를 구비하며 불순물이 도핑된 폴리실리콘으로 이루어진 게이트를 형성하는 단계;

상기 기판 전면에 코발트를 포함하는 막을 형성하는 단계;

상기 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성하는 단계; 및

상기 결과물을 열처리하여 상기 코발트가 상기 게이트 및 상기 소오스/드레인 영역의 실리콘과 반응하여 코발트 실리사이드막을 형성하도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 【청구항 27】

제26 항에 있어서, 상기 캡핑막은 순수 티타늄막, 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막, 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄 텅스텐막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이하인 질소가 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 텅스텐막의 적층막, 그리고 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이하인 텅스텐이 풍부한 티타늄 텅스텐막의 적층막으로 이루어진 그룹에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 【청구항 28】

제27 항에 있어서, 상기 캡핑막은 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 29】

제27 항에 있어서, 상기 코발트를 포함하는 막을 형성하는 단계 전에, 상기 소오스/드레인 영역과 게이트 상에 형성된 자연산화막 또는 불순물을 제거하는 전처리 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 30】

제29 항에 있어서, 상기 전처리 단계는

습식 세정 단계; 및

상기 습식 세정된 상기 기판 전면을 RF 스퍼터링하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 31】

제29 항에 있어서, 상기 전처리 단계는 RF 스퍼터링 단계를 포함하지 않는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 32】

제31 항에 있어서, 상기 전처리 단계는

탈이온수에 희석된HF 액을 사용하는 제1 단계,

수산화암모늄, 과산화수소 및 물의 혼합액을 사용하는 제2 단계; 및

탈이온수에 희석된HF 액을 사용하는 제3 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 33】

제31 항에 있어서, 상기 전처리 단계는

황산과 과수의 혼합액을 사용하는 제1 단계; 및

탈이온수에 희석된HF 액을 사용하는 제2 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 34】

제27 항에 있어서, 상기 코발트를 포함하는 막은 순수 코발트막, 또는 탄탈륨, 지르코늄, 티타늄, 니켈, 하프늄, 텅스텐, 백금, 팔라듐, 바나듐, 니오븀 및 이들의 혼합물로 부터 선택된 물질을 20 원자(atomic)% 이하로 포함하는 코발트 합금막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 35】

제27 항에 있어서, 상기 코발트를 포함하는 막을 형성하는 단계는 300-500 °C 의 온도 범위에서 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 36】

제27 항에 있어서, 상기 열처리하는 상기 코발트가 상기 노출된 실리콘 기판 및/또는 실리콘을 포함하는 도전 영역의 실리콘과 반응하여 모노코발트 모노실리사이드막을 형성하도록 하는 제1 온도에서 실시하는 제1 급속 열적 어닐링 단계;

상기 캡핑막 및 상기 제1 급속 열적 어닐링 단계에서 미반응하고 잔류하는 상기 코발트를 포함하는 막을 선택적으로 제거하는 단계; 및

상기 제1 온도보다 높은 제2 온도에서 열처리하여 상기 모노코발트 모노실리사이드막이 모노코발트 다이실리사이드막으로 전환되도록 하는 제2 급속 열적 어닐링 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 37】**

제36 항에 있어서, 상기 제1 온도는 350-650 ℃ 의 온도 범위이고,

상기 제2 온도는 700-900℃의 온도 범위인 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 38】**

반도체 기판에 활성 영역을 정의하는 소자 분리 영역을 형성하는 단계;

상기 활성 영역 상에 소오스/드레인 영역 및 측벽 스페이서를 구비하며 불순물이 도핑된 폴리실리콘으로 이루어진 게이트를 형성하는 단계;

상기 기판 전면에 코발트를 포함하는 막을 형성하되, 상기 코발트가 상기 소오스/드레인 영역 및 상기 게이트의 실리콘과 반응하여 다이코발트 모노실리사이드 또는 모노코발트 모노실리사이드 확산 억제 계면막을 형성하도록 하는 온도에서 상기 코발트를 포함하는 막을 형성하는 단계;

상기 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성하는 단계; 및

상기 결과물을 열처리하여 상기 확산 억제 계면막이 모노코발트 다이실리사이드막으로 전환되도록 하고, 상기 코발트를 포함하는 막의 코발트가 상기 실리콘과 반응하여 모노코발트 다이실리사이드막을 형성하도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 39】

제38 항에 있어서, 상기 캡핑막은 순수 티타늄막, 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막, 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄 텅스텐막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이상인 티타늄이 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/질소의 원자% 비가 1 이하인 질소가 풍부한 티타늄 질화막의 적층막, 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이상인 티타늄 텅스텐막의 적층막, 그리고 순수 티타늄막 및 티타늄/텅스텐의 원자% 비가 1 이하인 텅스텐이 풍부한 티타늄 텅스텐막의 적층막으로 이루어진 그룹에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 40】

제39 항에 있어서, 상기 캡핑막은 티타늄/질소의 원자% 비가 1 이상인 티타늄 질화막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 41】

제39 항에 있어서, 상기 코발트를 포함하는 막을 형성하는 단계 전에, 상기 소오스/드레인 영역과 상기 게이트 상에 형성된 상기 실리콘을 포함하는 도전 영역 상에 형성된 자연산화막 또는 불순물을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 42】

제41 항에 있어서, 상기 전처리 단계는

습식 세정 단계; 및

상기 습식 세정된 상기 기판 전면을 RF 스퍼터링하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 43】

제41 항에 있어서, 상기 전처리 단계는 RF 스퍼터링 단계를 포함하지 않는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 44】

제43 항에 있어서, 상기 전처리 단계는

탈이온수에 희석된HF 액을 사용하는 제1 단계,

수산화암모늄, 과산화수소 및 물의 혼합액을 사용하는 제2 단계; 및

탈이온수에 희석된HF 액을 사용하는 제3 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 45】

제43 항에 있어서, 상기 전처리 단계는

황산과 과수의 혼합액을 사용하는 제1 단계; 및

탈이온수에 희석된HF 액을 사용하는 제2 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 46】

제39 항에 있어서, 상기 코발트를 포함하는 막은 순수 코발트막, 또는 탄탈륨, 지르코늄, 티타늄, 니켈, 하프늄, 텅스텐, 백금, 팔라듐, 바나듐, 니오븀 및 이들의 혼합물로

부터 선택된 물질을 20 원자(atomic)% 이하로 포함하는 코발트 합금막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 47】

제39 항에 있어서, 상기 확산 억제 계면막을 형성하도록 하는 온도는 300-500 °C 의 온도인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 48】

제39 항에 있어서, 상기 열처리하는 상기 확산 억제 계면막의 다이코발트 모노실리사이드막이 모노코발트 모노실리사이드막으로 전환되고, 상기 코발트가 상기 실리콘과 반응하여 모노코발트 모노실리사이드막을 형성하도록 하는 제1 온도에서 실시하는 제1 급속 열적 어닐링 단계;

상기 캡핑막 및 상기 제1 급속 열적 어닐링 단계에서 미반응한 상기 코발트를 포함하는 막을 선택적으로 제거하는 단계; 및

상기 제1 온도보다 높은 제2 온도에서 열처리하여 상기 모노코발트 모노실리사이드막이 모노코발트 다이실리사이드막으로 전환되도록 하는 제2 급속 열적 어닐링 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 49】

제48 항에 있어서, 상기 제1 온도는 350-650 °C 의 온도 범위이고,

상기 제2 온도는 700-900 °C 의 온도 범위인 것을 특징으로 하는 반도체 소자의 제조 방법.



## 【청구항 50】

반도체 기판에 활성 영역을 정의하는 소자 분리 영역을 형성하는 단계;

상기 활성 영역 상에 소오스/드레인 영역과 측벽 스페이서를 구비하며 불순물이 도핑된 폴리실리콘으로 이루어진 게이트를 형성하는 단계;

상기 기판 전면을 습식 세정하는 단계;

상기 습식 세정된 상기 기판 전면에 코발트를 포함하는 막을 형성하되, 상기 코발트가 상기 소오스/드레인 영역 및 게이트의 실리콘과 반응하여 다이코발트 모노실리사이드 또는 모노코발트 모노실리사이드 확산 억제 계면막을 형성하도록 하는 온도에서 상기 코발트를 포함하는 막을 형성하는 단계;

상기 코발트를 포함하는 막 위에 티타늄의 원자% / 나머지 원소의 원자%가 1 보다 큰 티타늄이 풍부한 캡핑막을 형성하는 단계;

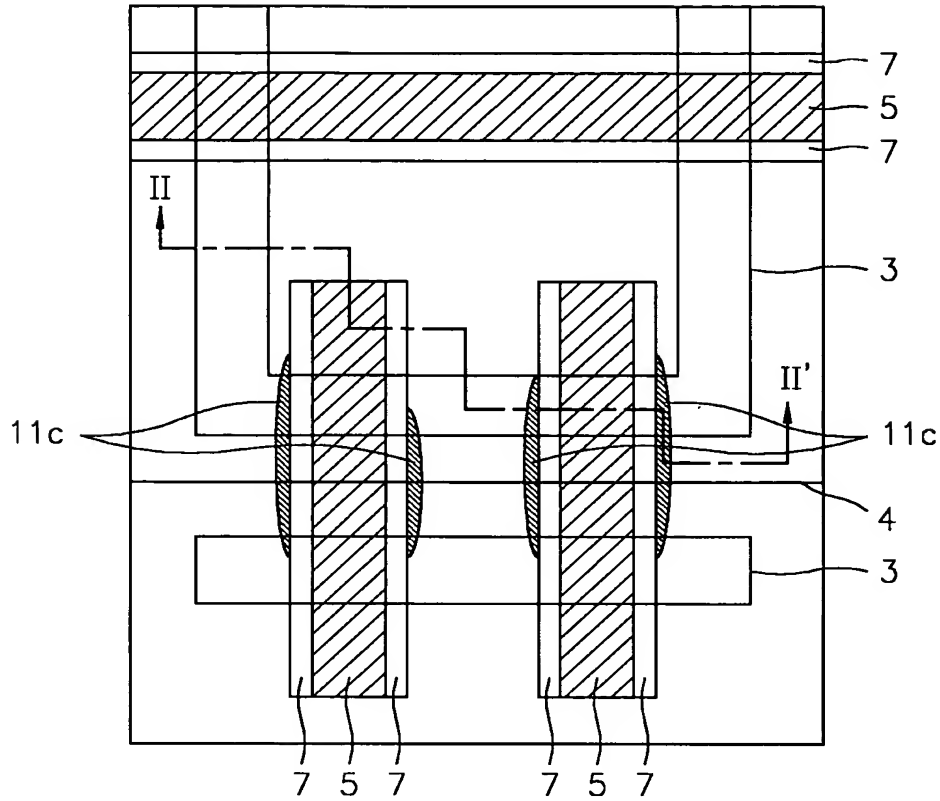
상기 확산 억제 계면막이 모노코발트 모노실리사이드로 전환되고 상기 코발트가 상기 실리콘과 반응하여 모노코발트 모노실리사이드막을 형성하도록 하는 제1 온도에서 실시하는 제1 급속 열적 어닐링 단계;

상기 캡핑막 및 상기 제1 급속 열적 어닐링 단계에서 미반응한 상기 코발트를 포함하는 막을 선택적으로 제거하는 단계; 및

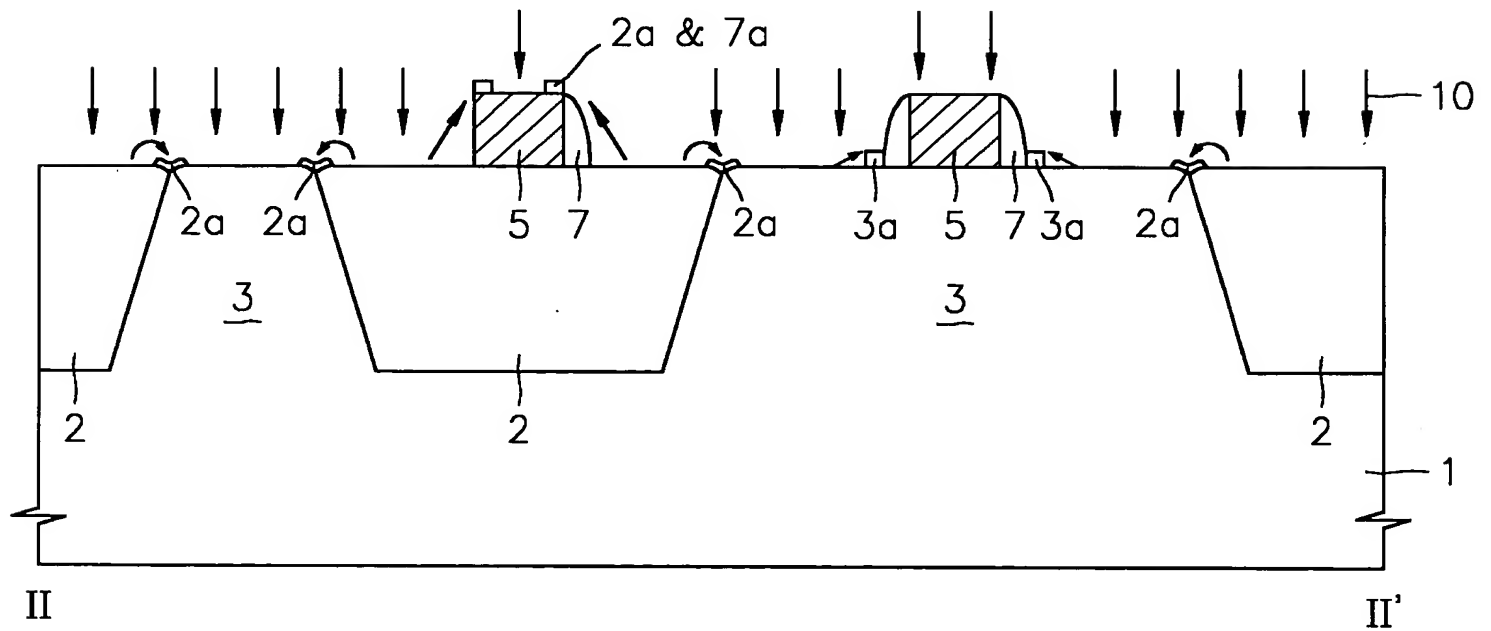
상기 제1 온도보다 높은 제2 온도에서 열처리하여 상기 모노코발트 모노실리사이드막이 모노코발트 다이실리사이드막으로 전환되도록 하는 제2 급속 열적 어닐링 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

【도 1】

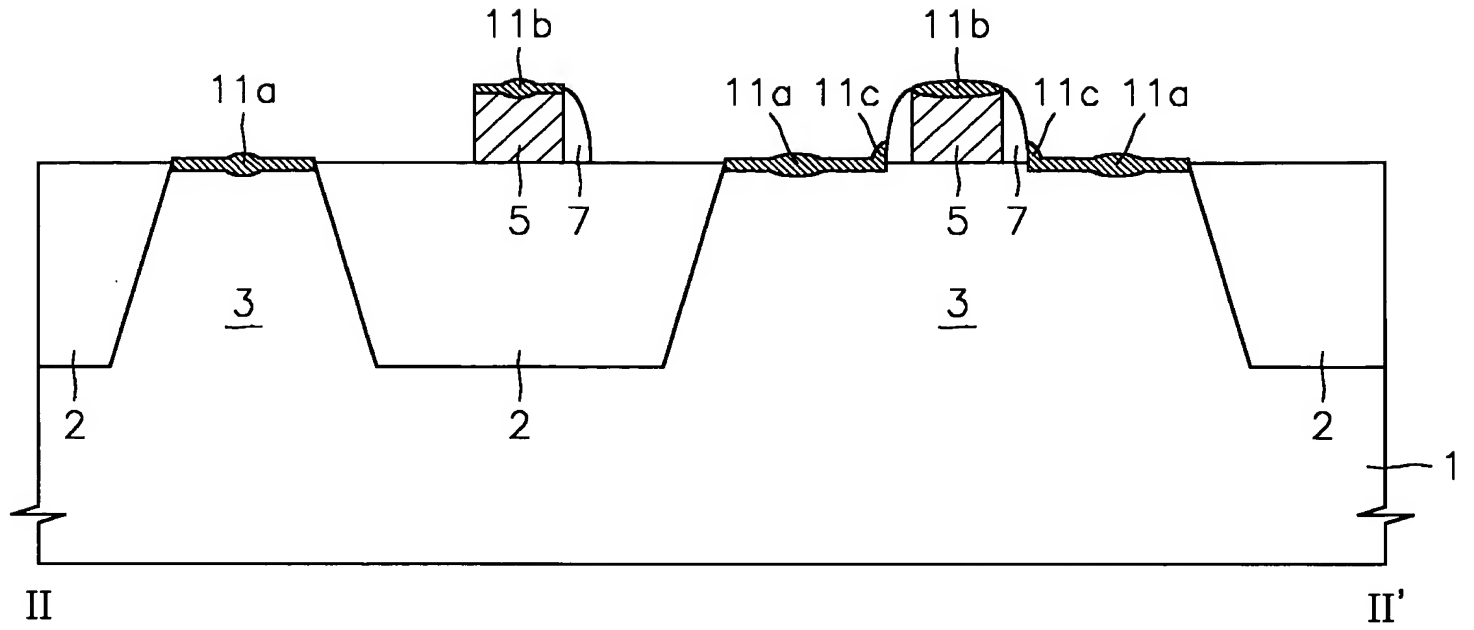


【도 2】

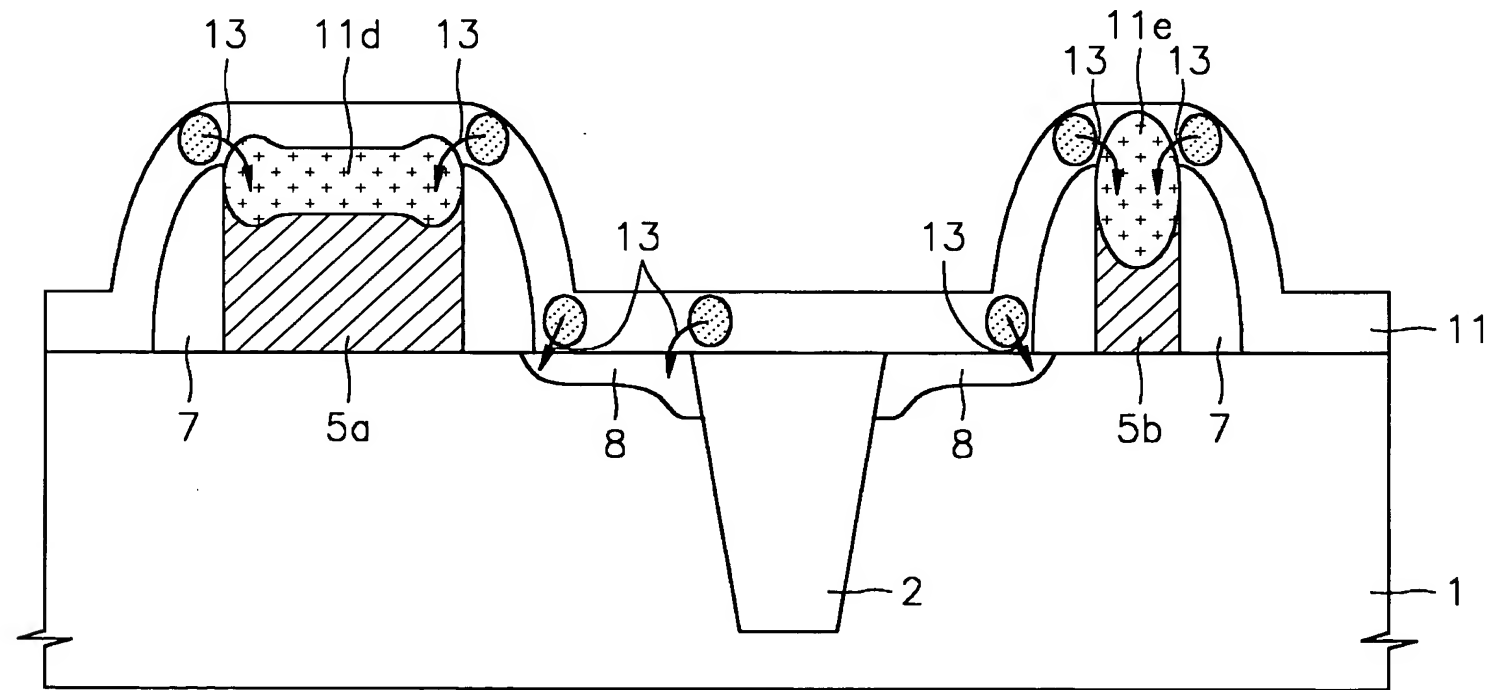




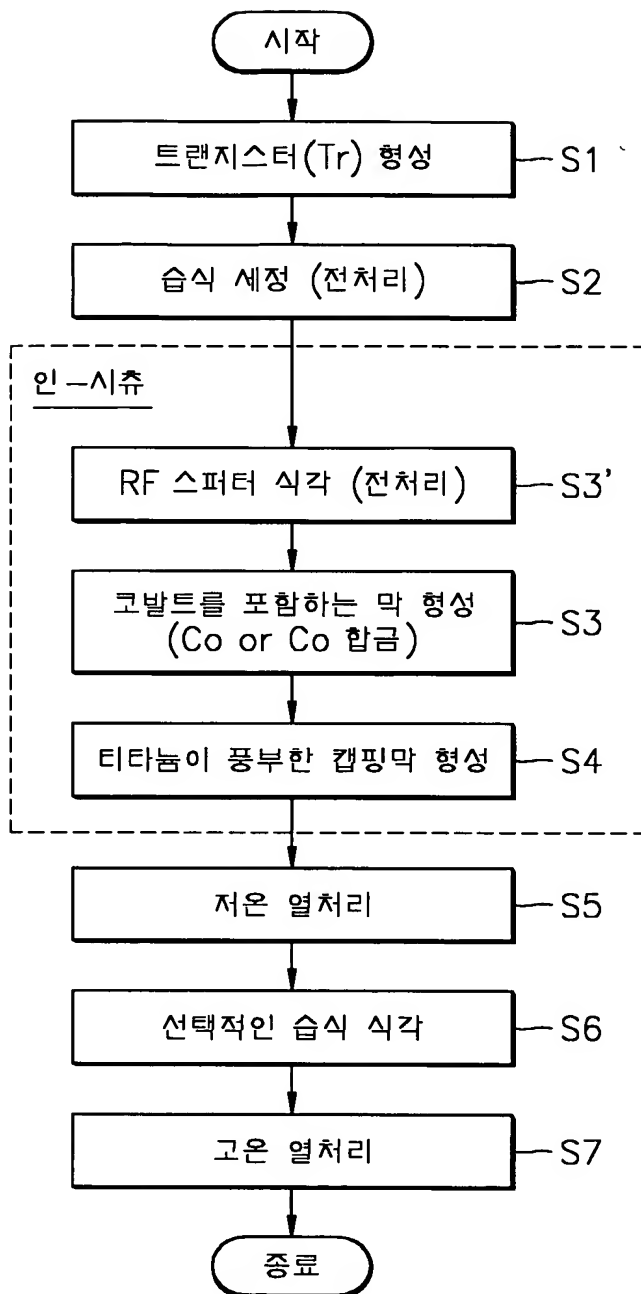
【도 3】



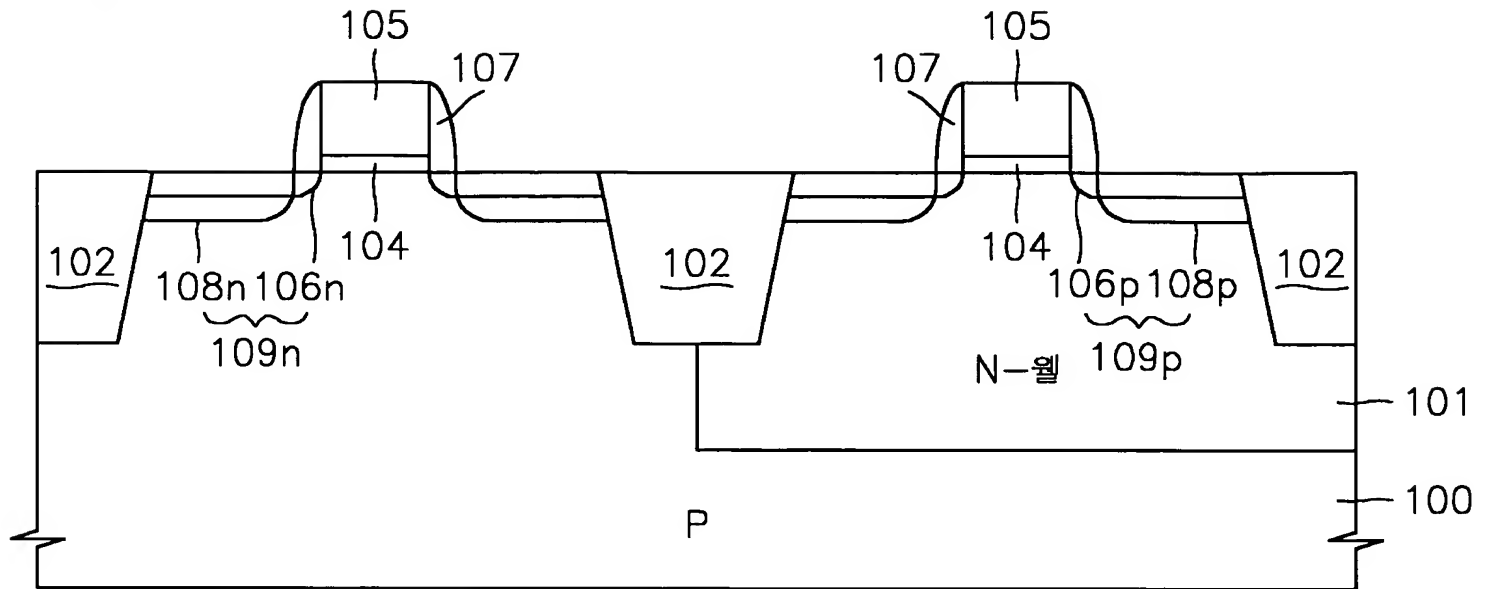
【도 4】



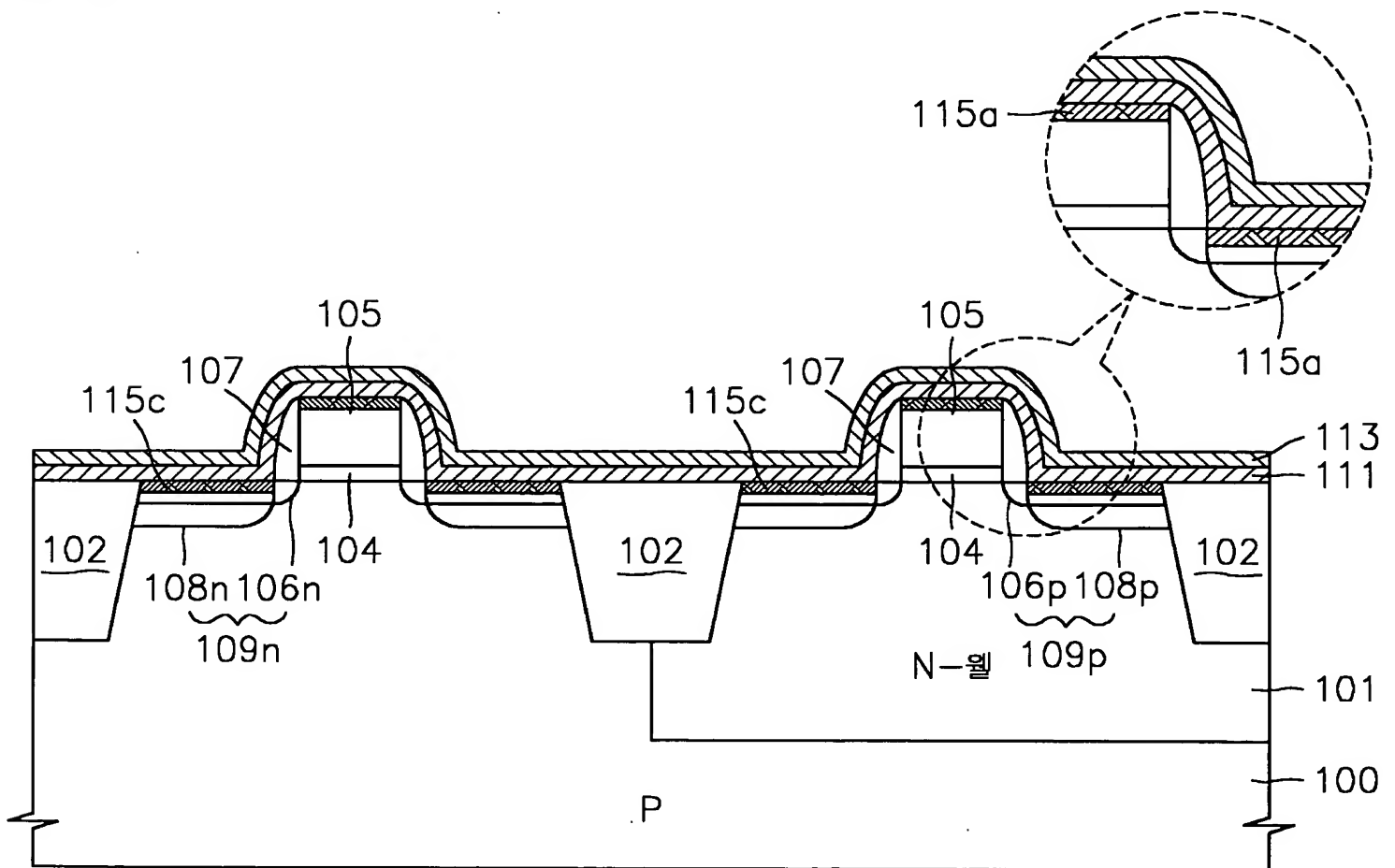
【도 5】



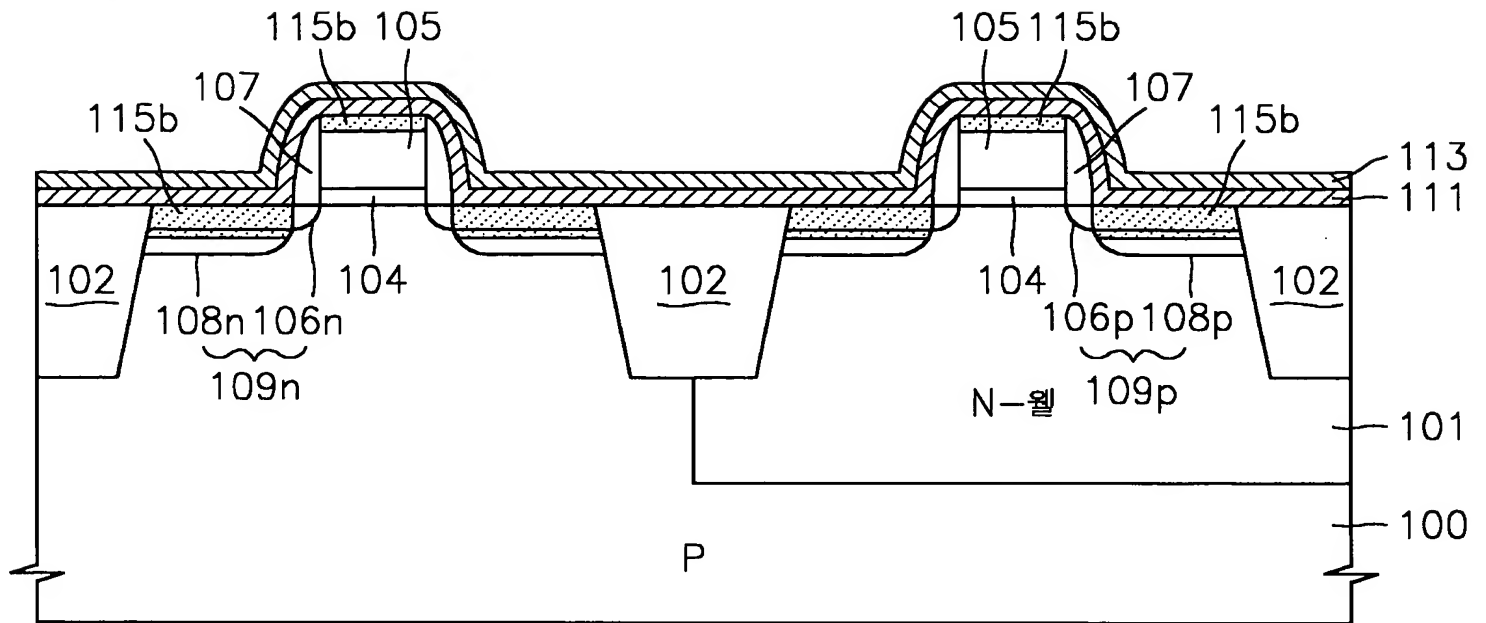
【도 6a】



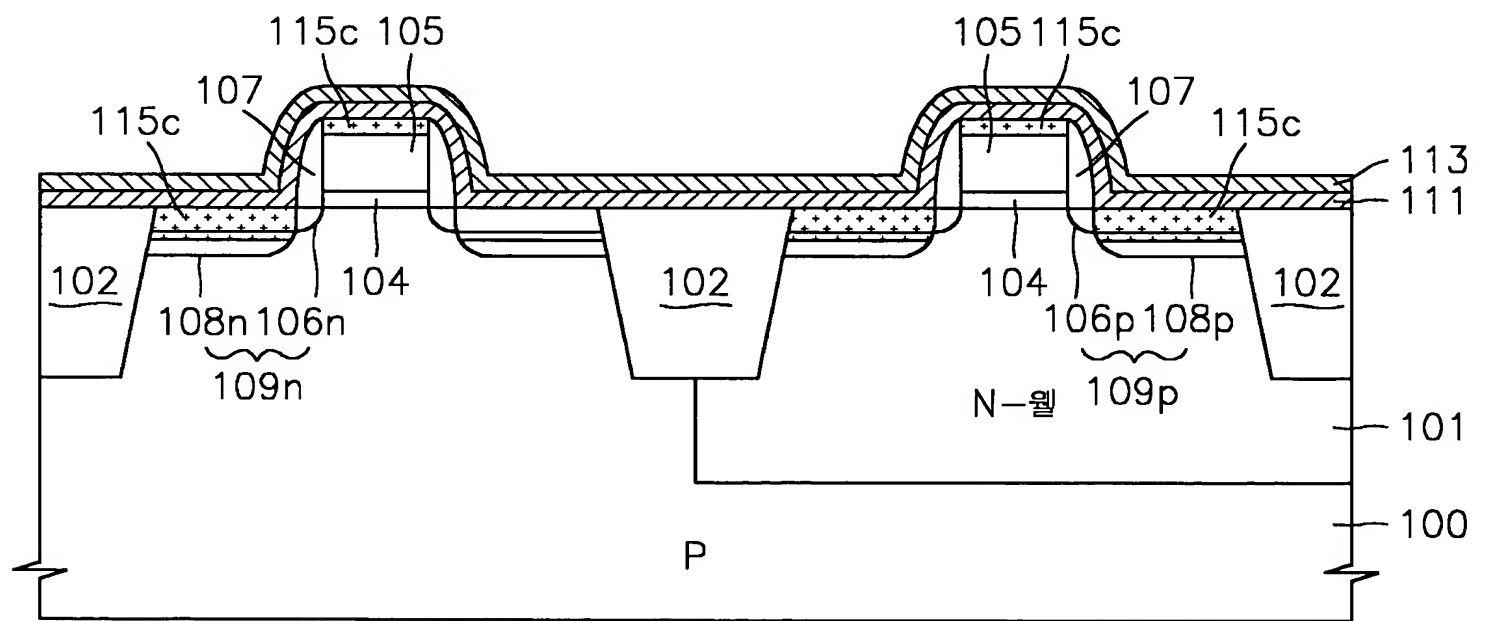
【도 6b】



【도 6c】

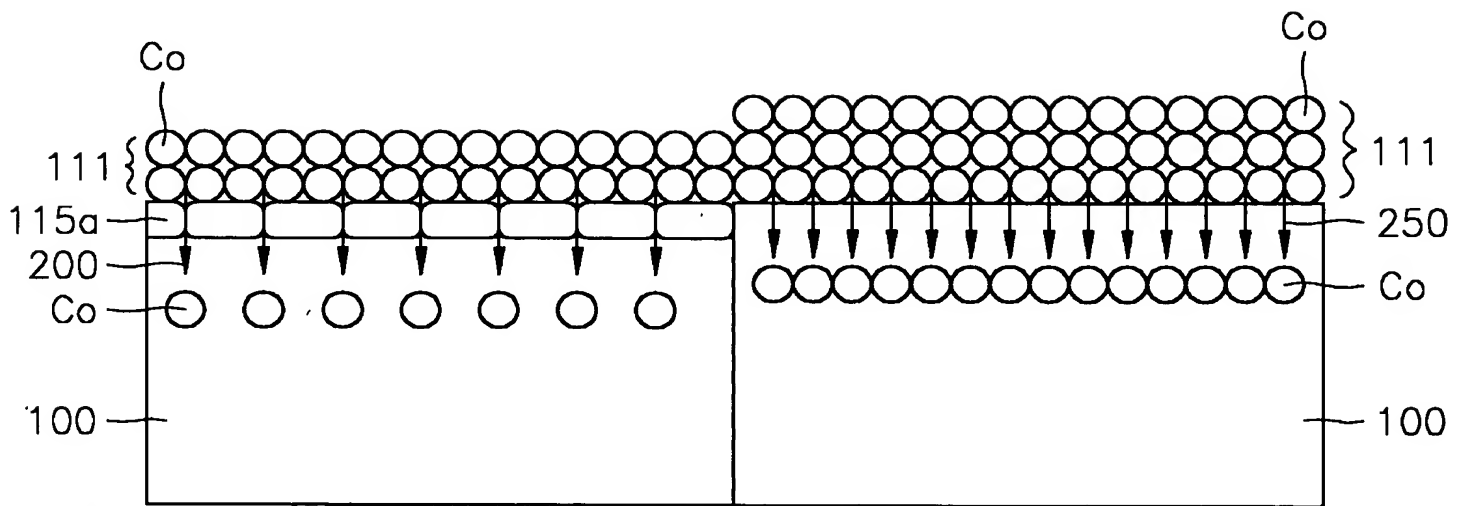


【도 6d】

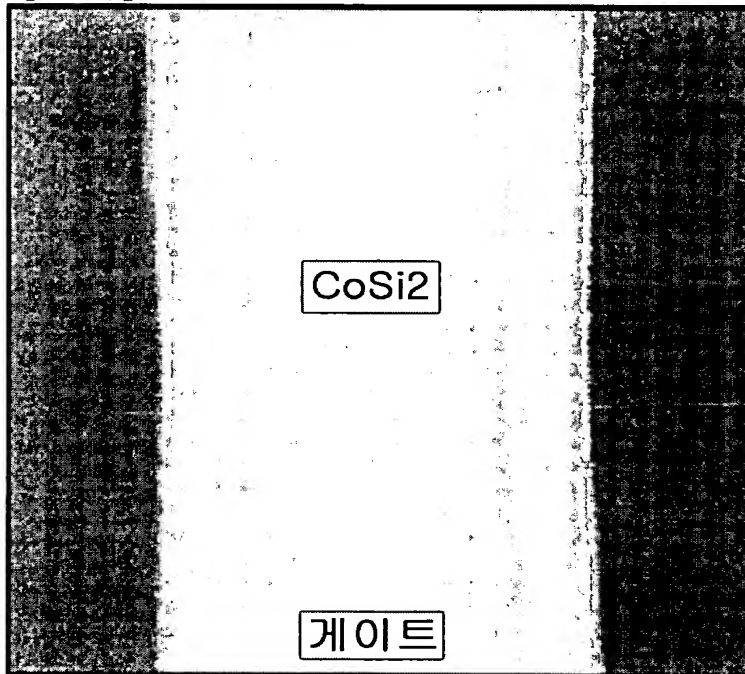




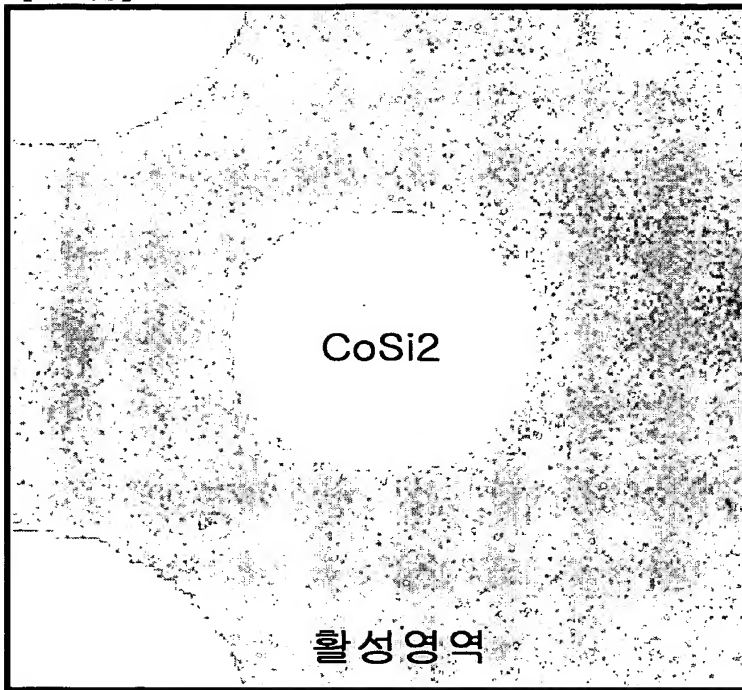
【도 7】



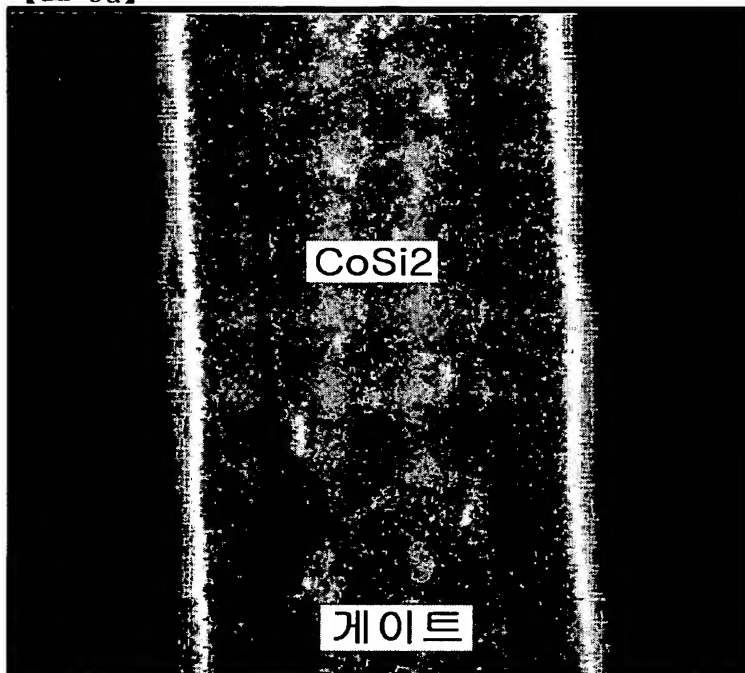
【도 8a】



【도 8b】

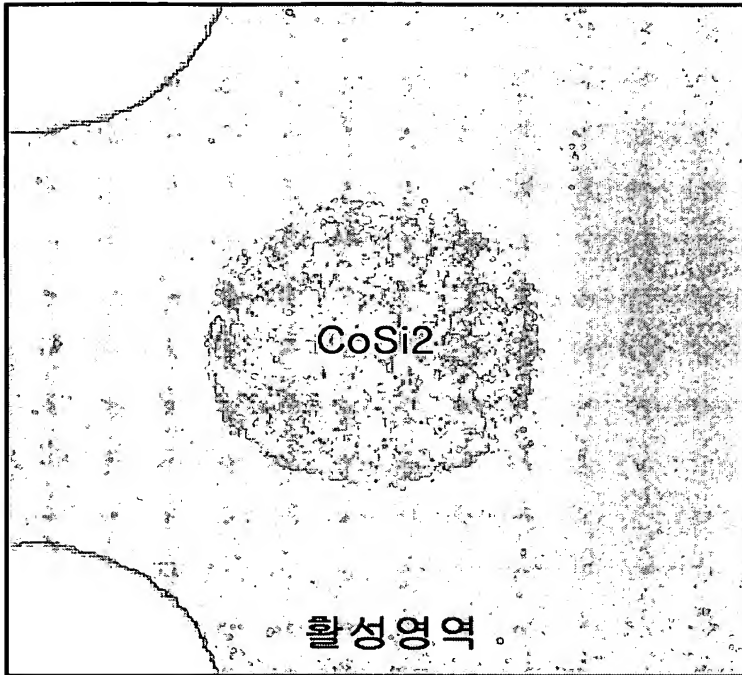


【도 9a】

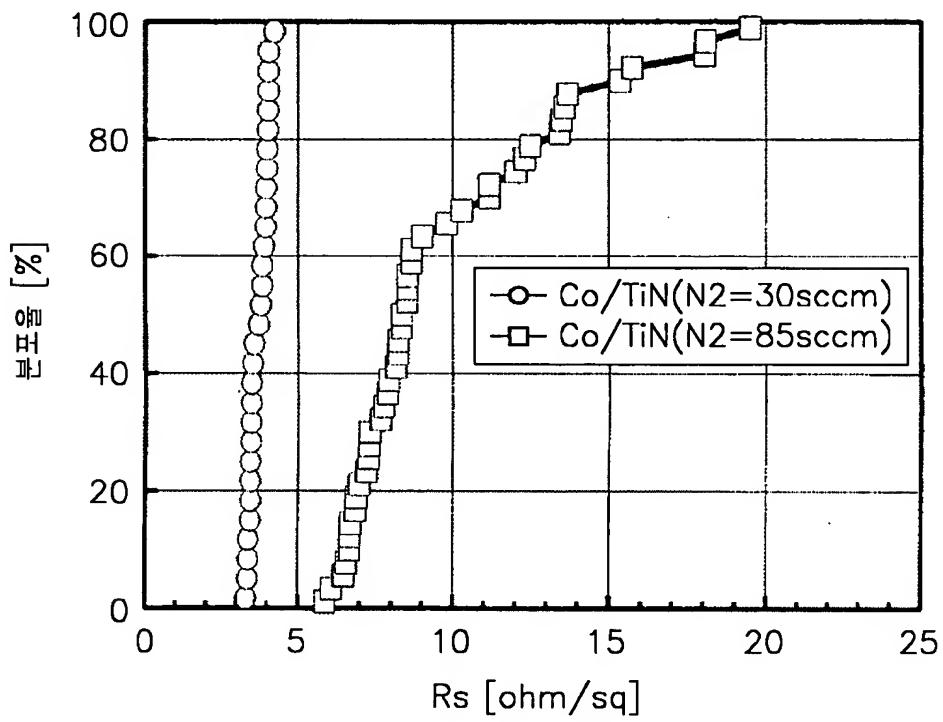




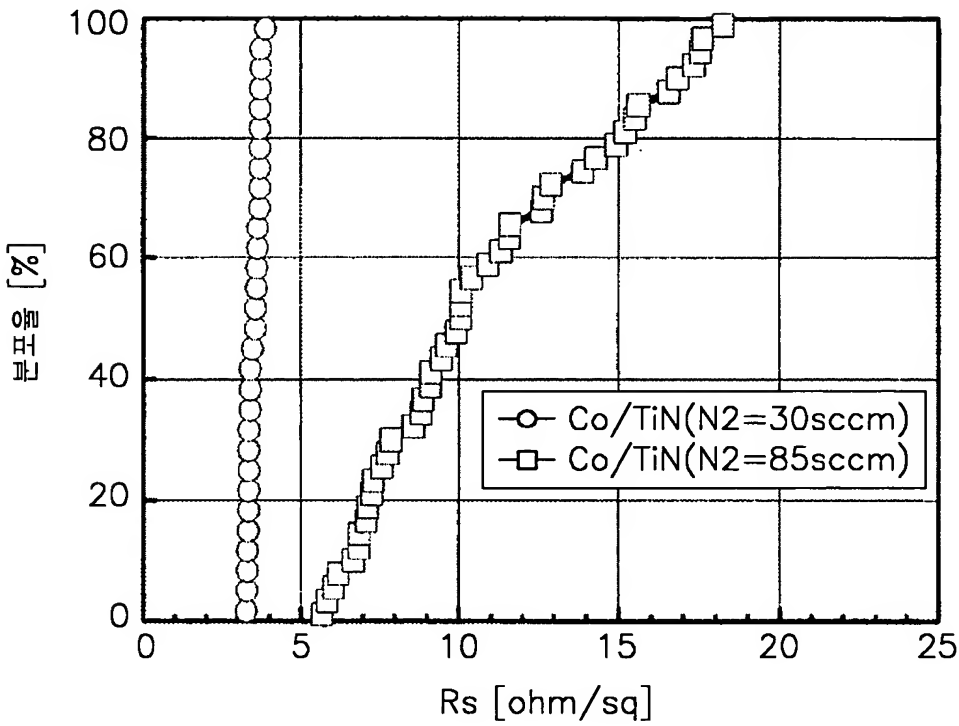
【도 9b】



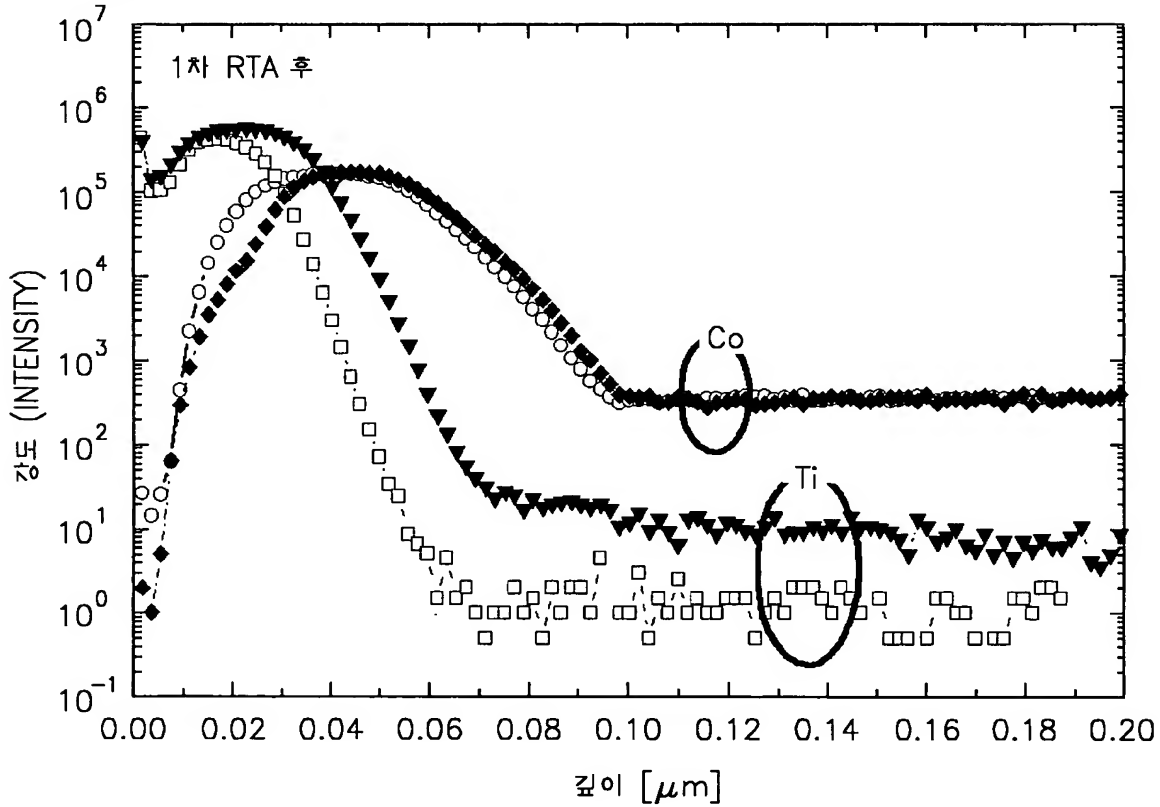
【도 10a】



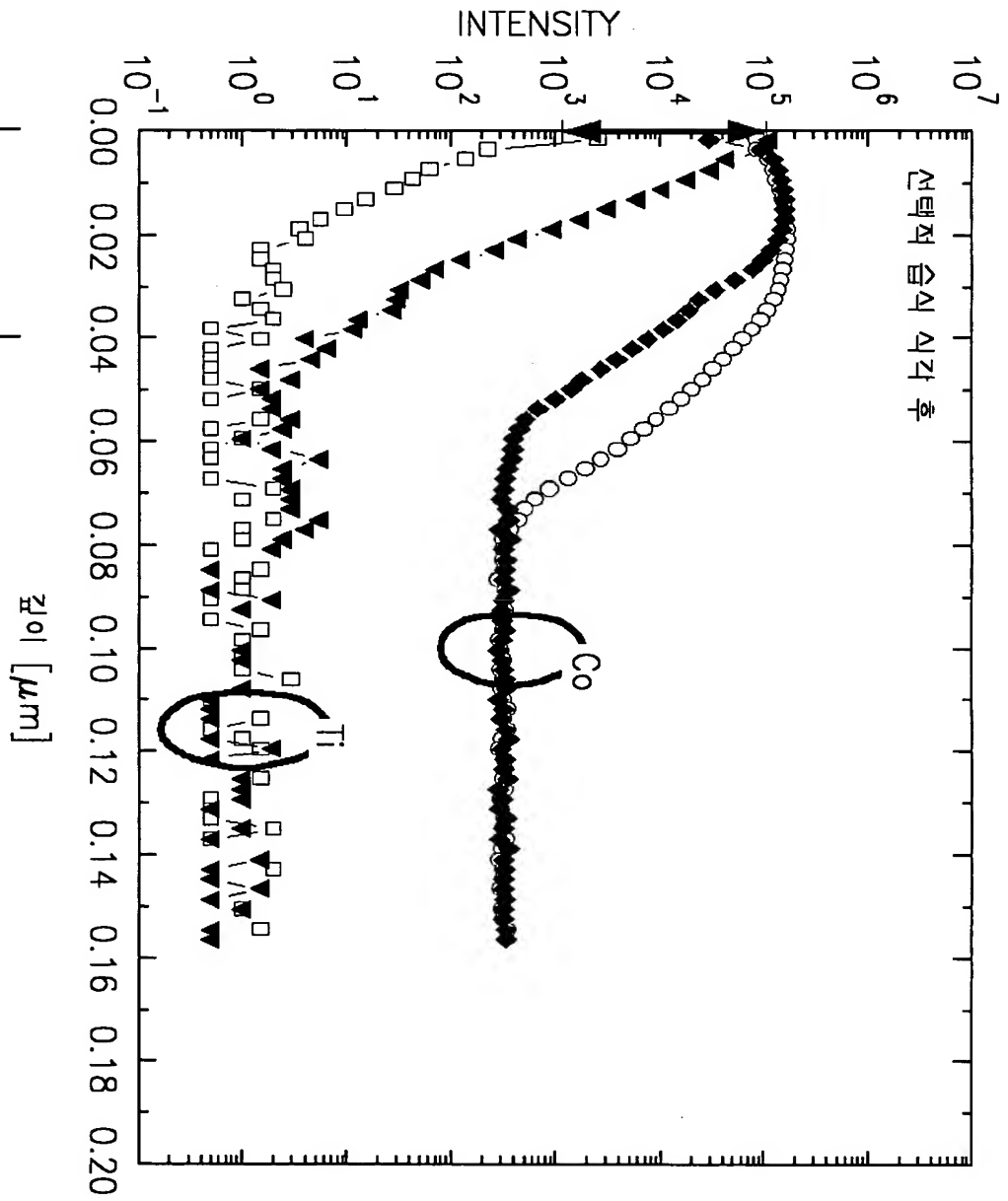
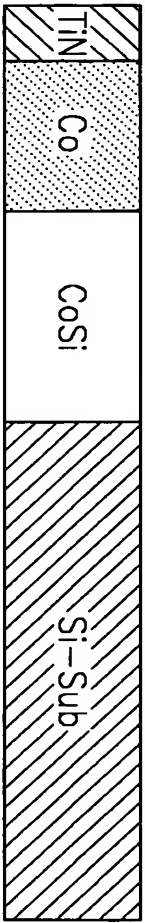
【도 10b】



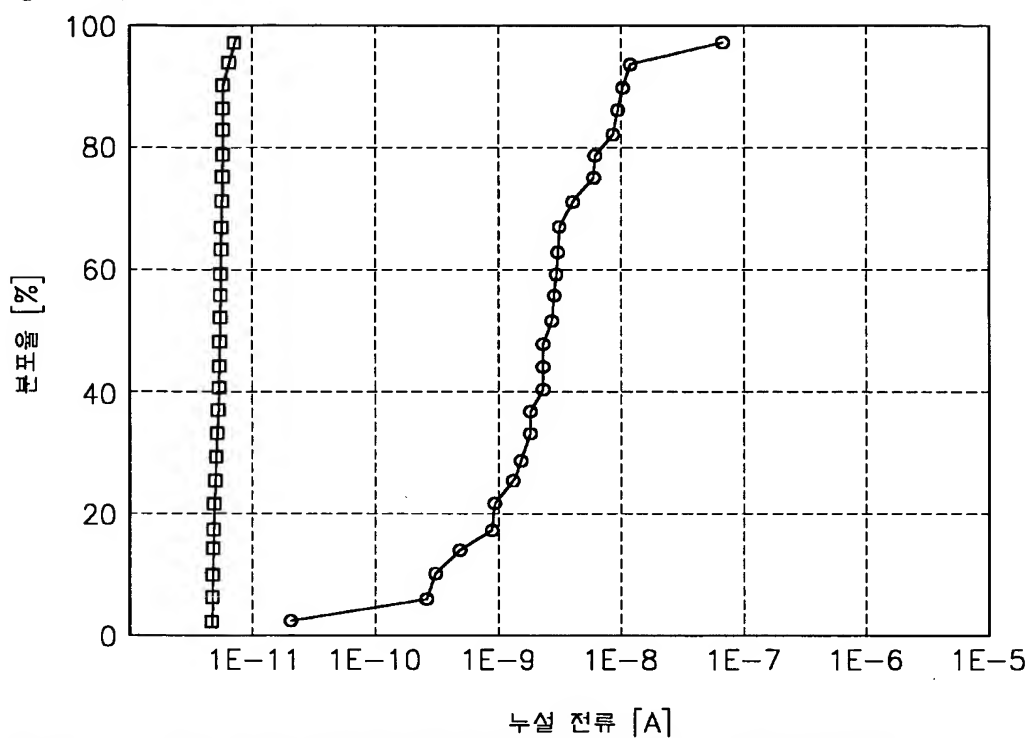
【도 11a】



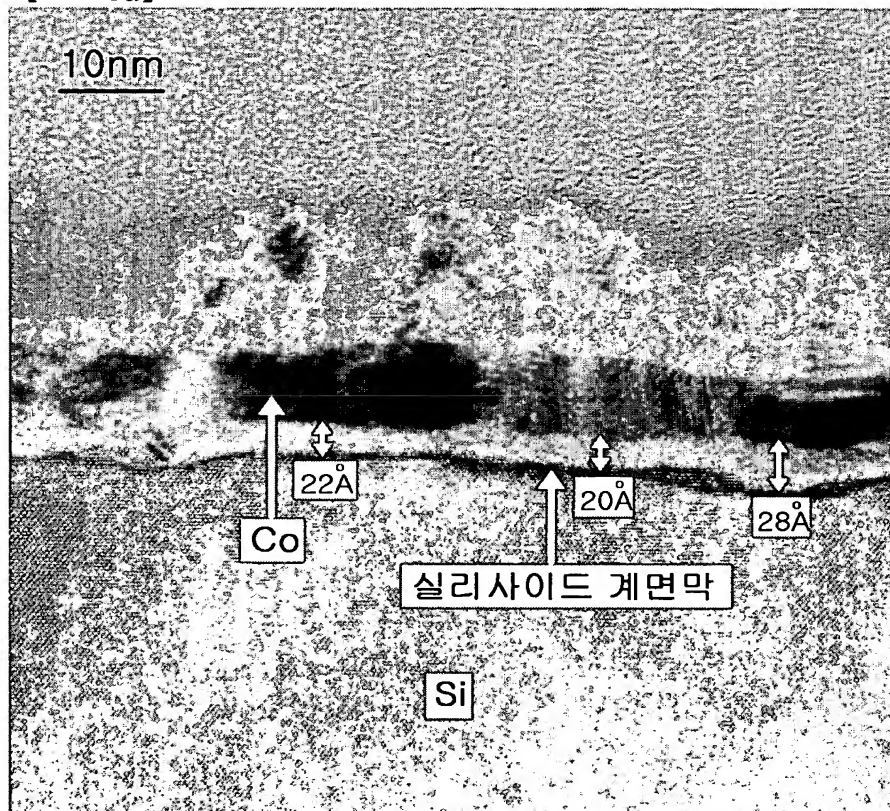
【도 11b】



【도 12】

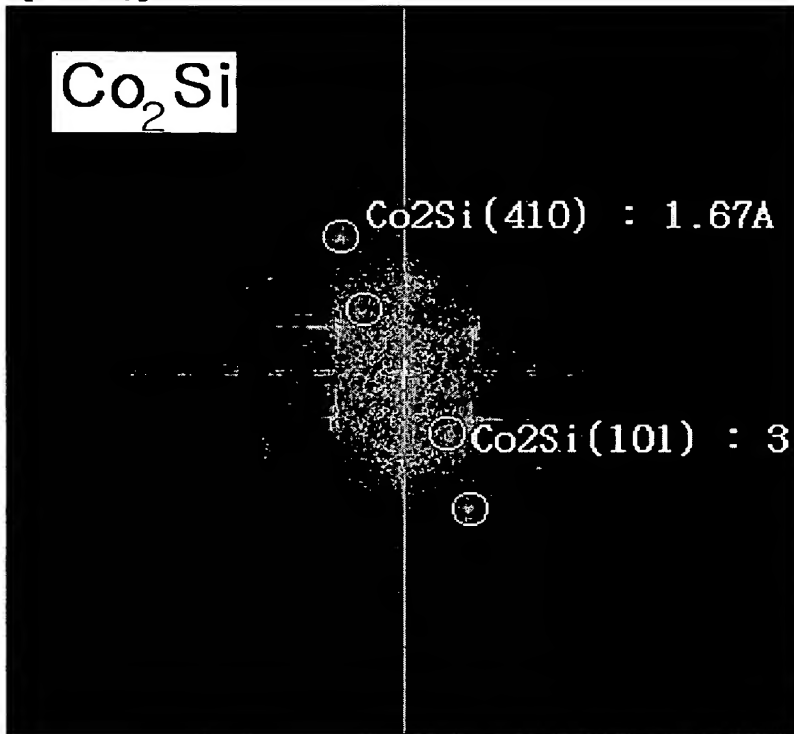


【도 13a】

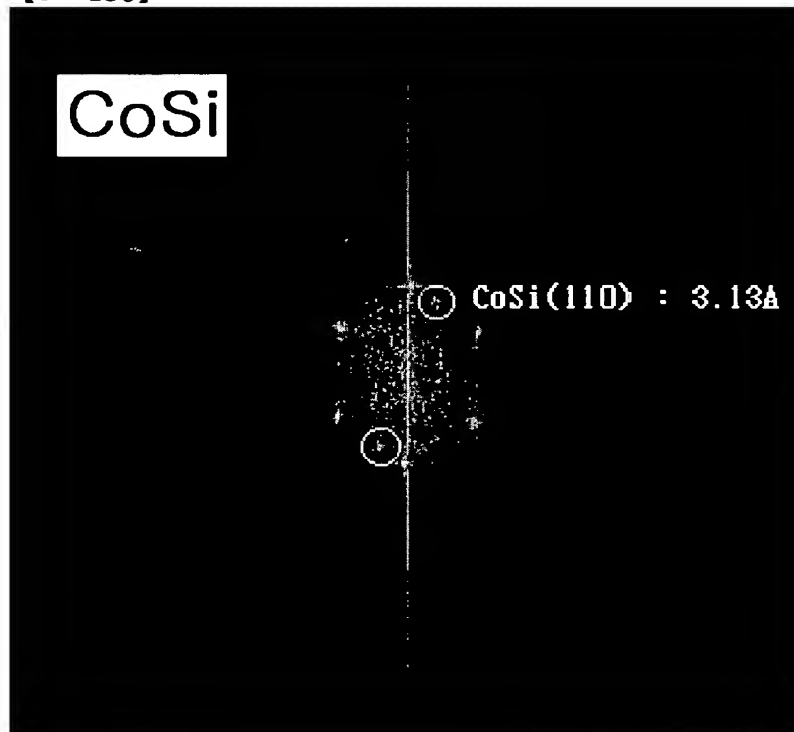




【도 13b】



【도 13c】



【도 14】

